

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-277711 ✓

(P2000-277711A)

(43)公開日 平成12年10月6日(2000.10.6)

(51)Int.Cl.⁷

H 0 1 L 27/108

21/8242

識別記号

F I

H 0 1 L 27/10

テ-マ-ト (参考)

6 2 1 C 5 F 0 8 3

6 8 1 B

審査請求 未請求 請求項の数15 O L (全 25 頁)

(21)出願番号 特願平11-306484

(22)出願日 平成11年10月28日(1999.10.28)

(31)優先権主張番号 特願平11-14555

(32)優先日 平成11年1月22日(1999.1.22)

(33)優先権主張国 日本 (J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 壺井 修

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 堤 智彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100087479

弁理士 北野 好人

最終頁に続く

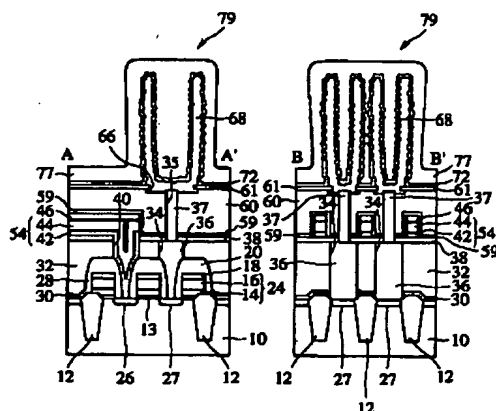
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 シリンダ型のキャパシタを形成する場合であっても、高い歩留りで製造することができる半導体装置及びその製造方法を提供する。

【解決手段】 下地基板10上に形成された第1の絶縁膜60と、第1の絶縁膜上に形成され、第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜61と、第2の絶縁膜上に突出して形成された蓄積電極68を有するキャパシタ79とを有し、蓄積電極は、第2の絶縁膜の側部から下部に延在して形成されている。

本発明の第1実施形態による半導体装置を示す断面図



- | | |
|-----------------|-----------------|
| 10…シリコン基板 | 36…シリコン窒化膜 |
| 12…シリコン酸化物膜 | 37…シリコン窒化膜 |
| 13…ゲート絶縁膜 | 38…シリコン窒化膜 |
| 14…ポリシリコン膜 | 40…コンタクトホール |
| 16…タンゲステンシリサイド膜 | 42…ポリシリコン膜 |
| 18…反射防止膜 | 44…タンゲステンシリサイド膜 |
| 20…シリコン窒化膜 | 46…反射防止膜 |
| 24…ゲート電極 | 54…ビット線 |
| 26…ソース/ドレイン拡散層 | 59…絶縁膜 |
| 27…ソース/ドレイン拡散層 | 60…層間絶縁膜 |
| 28…サイドウォール絶縁膜 | 61…エッチングストップ膜 |
| 30…エッチングストップ膜 | 68…蓄積電極 |
| 32…層間絶縁膜 | 72…蓄積電極 |
| 34…コンタクトホール | 77…蓄積電極 |
| 35…コンタクトホール | 79…キャパシタ |

【特許請求の範囲】

【請求項1】 下地基板上に形成された第1の絶縁膜と、
前記第1の絶縁膜上に形成され、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜と、
前記第2の絶縁膜上に突出して形成された蓄積電極を有するキャパシタとを有し、
前記蓄積電極は、前記第2の絶縁膜の側部から下部に延在して形成されていることを特徴とする半導体装置。
【請求項2】 請求項1記載の半導体装置において、
前記蓄積電極は、前記第1の絶縁膜に埋め込まれた導体プラグを介して前記下地基板に電氣的に接続されていることを特徴とする半導体装置。
【請求項3】 下地基板上に形成された第1の絶縁膜と、
前記第1の絶縁膜上に形成され、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜と、
前記第2の絶縁膜上に突出して形成された蓄積電極を有するキャパシタとを有し、
前記蓄積電極は、前記下地基板に電氣的に接続する導体プラグを兼ねることを特徴とする半導体装置。
【請求項4】 請求項3記載の半導体装置において、
前記蓄積電極が前記第2の絶縁膜を貫く開口部の側壁に、前記第1の絶縁膜とはエッチング特性の異なる材料よりなるサイドウォール膜を更に有することを特徴とする半導体装置。
【請求項5】 請求項4記載の半導体装置において、
前記サイドウォール膜は、前記第2の絶縁膜の側部から下部に延在して形成されていることを特徴とする半導体装置。
【請求項6】 請求項1乃至5のいずれか1項に記載の半導体装置において、
前記蓄積電極は、多孔質の導電膜により形成されていることを特徴とする半導体装置。
【請求項7】 請求項1乃至6のいずれか1項に記載の半導体装置において、
前記下地基板は、
半導体基板上に第3の絶縁膜を介して形成された周辺回路用のトランジスタのゲート電極と、
前記ゲート電極の上面及び側面を覆う第4の絶縁膜と、
前記半導体基板上及び前記第4の絶縁膜上に形成され、
前記第4の絶縁膜とはエッチング特性が異なる第5の絶縁膜と、
前記第5の絶縁膜上に形成され、前記第5の絶縁膜を貫いて転送トランジスタのソース／ドレイン拡散層に接続されたビット線と、
前記第4の絶縁膜及び前記第5の絶縁膜を貫いて前記ゲート電極に接続され、前記ビット線と同一の導電層より成る配線層とを有することを特徴とする半導体装置。
【請求項8】 下地基板上に、第1の絶縁膜を形成する

工程と、

前記第1の絶縁膜上に、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜を形成する工程と、
前記第2の絶縁膜上に、前記第2の絶縁膜とはエッチング特性が異なる第3の絶縁膜を形成する工程と、
前記第3の絶縁膜及び前記第2の絶縁膜を貫通して前記第1の絶縁膜に達し、前記第2の絶縁膜の下部に至る第1の開口部を形成する工程と、
前記第1の開口部の内壁に、前記下地基板に電氣的に接続された蓄積電極を形成する工程と、
前記第2の絶縁膜をエッチングストップとして前記第3の絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、
前記第1の絶縁膜を形成する工程では、前記第1の絶縁膜に埋め込まれた導体プラグを形成し、
前記蓄積電極を形成する工程では、前記導体プラグを介して前記下地基板に電氣的に接続された前記蓄積電極を形成することを特徴とする半導体装置の製造方法。

【請求項10】 下地基板上に、第1の絶縁膜を形成する工程と、
前記第1の絶縁膜上に、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜を形成する工程と、
前記第2の絶縁膜に前記第1の絶縁膜に達する第1の開口部を形成する工程と、
前記第1の絶縁膜上及び前記第2の絶縁膜上に、前記第2の絶縁膜とはエッチング特性が異なる第3の絶縁膜を形成する工程と、
前記第1の開口部が形成された領域を含む領域の前記第3の絶縁膜及び前記第1の絶縁膜を、前記第2の絶縁膜をエッチングストップとして選択的にエッチングし、前記第3の絶縁膜に第2の開口部を形成し、前記第1の絶縁膜にコンタクトホールを形成する工程と、
前記第2の開口部の内壁及び前記コンタクトホール内に、前記下地基板に電氣的に接続された蓄積電極を形成する工程と、
前記第2の絶縁膜をエッチングストップとして前記第3の絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】 請求項10記載の半導体装置の製造方法において、
前記第1の開口部を形成する工程では、前記第2の絶縁膜の下部に至る前記第1の開口部を形成し、
前記第1の開口部を形成する工程の後に、前記第1の開口部の内壁に、前記第1の絶縁膜とはエッチング特性が異なるサイドウォール膜を形成する工程を更に有し、
前記第2の開口部及び前記コンタクトホールを形成する工程では、前記第2の絶縁膜及び前記サイドウォール膜をエッチングストップとして前記第3の絶縁膜及び前記

3

第1の絶縁膜をエッチングすることを特徴とする半導体装置の製造方法。

【請求項12】 請求項8乃至11のいずれか1項に記載の半導体装置の製造方法において、前記蓄積電極を形成する工程では、多孔質の導電膜よりなる前記蓄積電極を形成することを特徴とする半導体装置の製造方法。

【請求項13】 請求項8乃至12のいずれか1項に記載の半導体装置の製造方法において、前記第1の絶縁膜を形成する工程の前に、前記下地基板の上に第1の導電膜を形成する工程と、前記第1の導電膜上に、第1の幅の配線パターンを有するフォトマスクを形成する工程と、前記フォトマスクをエッチングし、前記フォトマスクの幅を前記第1の幅より狭い第2の幅に成形する工程と、前記フォトマスクを用いて前記第1の導電膜をエッチングし、前記下地基板の上に、前記第1の導電膜よりなる前記第2の幅のビット線を形成する工程とを更に有することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法において、前記ビット線を形成する工程の後、前記第1の絶縁膜を形成する工程の前に、前記ビット線の少なくとも側面に、前記第1の絶縁膜とエッチング特性が異なる第4の絶縁膜を形成する工程を更に有することを特徴とする半導体装置の製造方法。

【請求項15】 請求項8乃至12のいずれか1項に記載の半導体装置の製造方法において、前記第1の絶縁膜を形成する工程の前に、半導体基板上に、第4の絶縁膜を介して形成された第1の配線層及び第2の配線層を形成する工程と、前記第1の配線層の上面及び側面並びに前記第2の配線層の上面及び側面に、第5の絶縁膜をそれぞれ形成する工程と、前記半導体基板上及び前記第5の絶縁膜上に、前記第5の絶縁膜とはエッチング特性が異なる第6の絶縁膜を形成する工程と、前記第5の絶縁膜及び前記第6の絶縁膜に、前記第1の配線層に達する第1のコンタクトホールを形成する工程と、前記第6の絶縁膜に、前記第2の配線層を覆う前記第5の絶縁膜に自己整合で前記下地基板に達する第2のコンタクトホールを形成する工程とを更に有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特にキャパシタを有する半導体装置及びその製造方法に関する。

【0002】

4

【従来の技術】DRAM (Dynamic Random Access Memory) は、1個のメモリセルが1個の転送トランジスタと1個のキャパシタとにより構成され、小さい面積ですむため、大容量化に適した半導体メモリである。近年の電子機器等の情報処理量の増大に伴い、電子機器等に用いられるDRAMには更なる微細化、大容量化が求められている。そして、キャパシタの静電容量を大きくすることができることから、下記のようなシリンダ型のキャパシタを有するDRAMが用いられてきた。

10 【0003】従来のDRAMの製造方法を図15乃至図17を用いて説明する。図15乃至図17において、左側はDRAMのビット線方向に沿った断面図であり、右側はDRAMのワード線方向に沿った断面図である。

【0004】図15(a)に示すように、まず、LOCOS (Local Oxidation of Silicon) 法により、シリコン基板110表面に素子分離膜112を形成する。次に、シリコン基板110表面にゲート酸化膜(図示せず)を形成する。次に、CVD (Chemical Vapor Deposition、化学気相堆積) 法により、全面に、ポリシリコン膜114、タングステンシリサイド膜116、シリコン酸化膜118、シリコン窒化膜120、シリコン窒化酸化膜122を順に成膜し、これらより成る積層膜123を形成する。

【0005】次に、積層膜123を所定の形状にパターニングすることにより、ポリシリコン膜114及びタングステンシリサイド膜116より成るポリサイド構造のゲート電極124を形成する。このゲート電極124は、図15(a)の左側の図において紙面垂直方向に延在する他の転送トランジスタのゲート電極を兼ねるワード線として機能する。

【0006】次に、積層膜123をマスクとしてシリコン基板110に不純物イオンを注入し、積層膜123に自己整合でソース/ドレイン拡散層126a、126bを形成する。次に、全面にシリコン窒化膜を形成し、シリコン基板110、素子分離膜112、及び積層膜123の表面が露出するまで異方性エッチングを行い、これにより積層膜の側壁にサイドウォール絶縁膜128を形成する。このサイドウォール絶縁膜128は、微細コンタクトの位置ずれマージンを大きく確保するために、SAC (Self aligned Contact、自己整合コンタクト) を形成するためのものである。次に、全面に、シリコン窒化膜より成るエッチングストップ膜130を形成する。

【0007】次に、CVD法により、膜厚約0.5 μ mのBPSG (Boro-Phospho-Silicate Glass) 膜より成る層間絶縁膜132を形成する。この後、リフロー法とCMP (Chemical Mechanical Polishing、化学的機械的研磨) 法により、層間絶縁膜132の表面を平坦化する。次に、ソース/ドレイン拡散層126bを露出するコンタクトホール134をサイドウォール絶縁膜128に自己整合で形成する。次に、コンタクトホール134

5

内に導体プラグ136aを形成する(図15(a)参照)。

【0008】次に、全面に、CVD法により、膜厚約0.1 μ mのシリコン酸化膜138を形成する。次に、ソース/ドレイン拡散層126aを露出するコンタクトホール140をサイドウォール絶縁膜128に自己整合で形成する。次に、全面に、CVD法により、ポリシリコン膜142、タングステンシリサイド膜144、シリコン酸化膜146、シリコン窒化膜148、シリコン窒化酸化膜150を順に成膜し、これらより成る積層膜152を形成する。この後、積層膜152を所定の形状にパターニングすることにより、ポリシリコン膜142及びタングステンシリサイド膜144より成るポリサイド構造のビット線154を形成する(図15(b)参照)。

【0009】次に、全面にシリコン窒化膜を形成し、シリコン酸化膜138及び積層膜152の表面が露出するまで異方性エッチングを行い、これにより積層膜152の側壁にサイドウォール絶縁膜156を形成する。次に、全面に層間絶縁膜160を形成する。この後、CMP法により、層間絶縁膜160の表面を平坦化する。この後、層間絶縁膜160上に、CVD法によりシリコン窒化膜より成るエッチングストップ膜161を形成する。次に、導体プラグ136a上面を露出するコンタクトホール162を形成する。この後、コンタクトホール162内に導体プラグ136bを形成する(図16(a)参照)。

【0010】次に、全面に、CVD法により、膜厚約1.7 μ mのBPSG膜164を形成する。この後、BPSG膜164に、導体プラグ136b上面を露出する開口部166を形成する。開口部166は、後工程でキャパシタ179の蓄積電極168(図17参照)を形成するためのものである(図16(b)参照)。

【0011】次に、全面に、CVD法により、膜厚約0.05 μ mのポリシリコン膜を形成する。この後、全面に、図示しないレジストを塗布しレジスト膜を形成する。この後、CMP法によりBPSG膜164表面が露出するまでポリシリコン膜及びレジスト膜を研磨する。こうして開口部166の内側に形成されたポリシリコン膜より成る蓄積電極168が形成される。次に、エッチングストップ膜161をストップとして、HF系のウェットエッチングによりBPSG膜164を除去する。

【0012】次に、アッシングにより、蓄積電極168の内側に残されたレジスト膜を除去する。この後、全面に、CVD法により、膜厚約8nmのタンタル酸化膜172を形成する。このタンタル酸化膜172は、キャパシタ179の誘電体として機能するものである。この後、CVD法により、膜厚0.05 μ mのチタン窒化膜174、膜厚0.1 μ mのポリシリコン膜176を順に形成し、チタン窒化膜174及びポリシリコン膜176

6

より成るキャパシタの対向電極177を形成する(図17参照)。

【0013】

【発明が解決しようとする課題】しかしながら、従来のDRAMの製造方法においては、HF系のウェットエッチングによりBPSG膜164をエッチングする際に、蓄積電極168が導体プラグ136bから剥離してしまったり、導体プラグ136b上面の近傍から薬液が染み込んでエッチングされるべきでない領域までもがエッチングされてしまうことがあり、これによりDRAMの歩留りが悪くなっていた。

【0014】また、DRAMの更なる微細化を図るにあたっては、キャパシタの容量を従来とほぼ同等に維持するためにキャパシタの高さを高くしなければならず、このためセル部とセル部以外の領域との間の段差が大きくなり、コンタクトホールの開口や配線の形成が困難となっていた。

【0015】また、従来のDRAMの製造方法では、周辺回路のトランジスタのゲート電極と上部配線との間のコンタクトのためにスペースを確保する必要があり、更なるDRAMの微細化を行うのが困難であった。

【0016】また、従来のDRAMの製造方法では、ビット線154が誘電率の高い厚いシリコン窒化膜で覆われているため、ビット線154と導体プラグ136bとの間の寄生容量が大きかった。

【0017】本発明の目的は、シリンダ型のキャパシタを形成する場合であっても、高い歩留りで製造することのできる半導体装置及びその製造方法を提供することにある。また、本発明の他の目的は、周辺回路の省スペース化を実現しうる半導体装置及びその製造方法を提供することにある。また、本発明の更に他の目的は、ビット線と導体プラグとの間の寄生容量が小さい半導体装置及びその製造方法を提供することにある。

【0018】

【課題を解決するための手段】上記目的は、下地基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜と、前記第2の絶縁膜上に突出して形成された蓄積電極を有するキャパシタとを有し、前記蓄積電極は、前記第2の絶縁膜の側部から下部に延在して形成されていることを特徴とする半導体装置により達成される。これにより、蓄積電極を下地に対して確実に固定することができるので、高い歩留りで製造することができる半導体装置を提供することができる。

【0019】また、上記目的は、下地基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜と、前記第2の絶縁膜上に突出して形成された蓄積電極を有するキャパシタとを有し、前記蓄積電極は、前記下地基板に電気的に接続する導体プラグを兼ねることを

特徴とする半導体装置により達成される。これにより、蓄積電極が導体プラグを兼ねるので、蓄積電極を下地に対して確実に固定することができ、高い歩留りで製造することができる半導体装置を提供することができる。

【0020】また、上記目的は、下地基板上に、第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に、前記第2の絶縁膜とはエッチング特性が異なる第3の絶縁膜を形成する工程と、前記第3の絶縁膜及び前記第2の絶縁膜を貫通して前記第1の絶縁膜に達し、前記第2の絶縁膜の下部に至る第1の開口部を形成する工程と、前記第1の開口部の内壁に、前記下地基板に電気的に接続された蓄積電極を形成する工程と、前記第2の絶縁膜をエッチングストップとして前記第3の絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、第2の絶縁膜の下部に至る蓄積電極が形成されるので、下地に対して蓄積電極を確実に固定することができ、高い歩留りで半導体装置を製造することができる。

【0021】また、上記目的は、下地基板上に、第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜を形成する工程と、前記第2の絶縁膜に前記第1の絶縁膜に達する第1の開口部を形成する工程と、前記第1の絶縁膜上及び前記第2の絶縁膜上に、前記第2の絶縁膜とはエッチング特性が異なる第3の絶縁膜を形成する工程と、前記第1の開口部が形成された領域を含む領域の前記第3の絶縁膜及び前記第1の絶縁膜を、前記第2の絶縁膜をエッチングストップとして選択的にエッチングし、前記第3の絶縁膜に第2の開口部を形成し、前記第1の絶縁膜にコンタクトホールを形成する工程と、前記第2の開口部の内壁及び前記コンタクトホール内に、前記下地基板に電気的に接続された蓄積電極を形成する工程と、前記第2の絶縁膜をエッチングストップとして前記第3の絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、蓄積電極が導体プラグと一体に形成されるので、蓄積電極を下地に対して確実に固定することができ、高い歩留りで半導体装置を製造することができる。

【0022】また、上記目的は、下地基板上に、第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜を形成する工程と、前記第2の絶縁膜に前記第1の絶縁膜に達する第1の開口部を形成する工程と、前記第1の開口部の内壁に、前記第1の絶縁膜とはエッチング特性が異なるサイドウォール膜を形成する工程と、前記第2の絶縁膜及び前記サイドウォール膜をマスクとして前記第1の絶縁膜をエッチングし、前記第1の絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホール

内に導体プラグを形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、微細な導体プラグを形成することができるので、集積度の高い半導体装置を製造することができる。

【0023】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態による半導体装置及びその製造方法を図1乃至図9を用いて説明する。図1は、本実施形態による半導体装置の構造を示す断面図である。図2は、本実施形態による半導体装置を示す平面図である。図3は、本実施形態による半導体装置を示す他の平面図である。図4乃至図9は、本実施形態による半導体装置の製造方法を示す工程断面図である。本実施形態による半導体装置はDRAMである。図1の紙面左側の図は、図2及び図3のA-A'線断面図、即ちDRAMのビット線に沿った断面図であり、紙面右側の図は、図2及び図3のB-B'線断面図、即ちDRAMのワード線に沿った断面図である。

【0024】（半導体装置）まず、本実施形態による半導体装置を図1乃至図3を用いて説明する。図1及び図2に示すように、シリコン基板10表面には、素子領域11を画定する素子分離領域12が形成されており、画定された素子領域11には、図1の左側の図において紙面垂直方向に延在するゲート電極24と、ソース/ドレイン拡散層26、27とを有する転送トランジスタが形成されている。

【0025】転送トランジスタのゲート電極24は、ゲート絶縁膜13上に形成された膜厚50nmのポリシリコン膜14及び膜厚100nmのタングステンシリサイド膜16より成るポリサイド構造を為すものであり、他の転送トランジスタのゲート電極を兼ねるワード線としても機能するものである（図2参照）。

【0026】ゲート電極24の幅は、例えば0.18μmである。ゲート電極24上には、シリコン窒化酸化膜より成る反射防止膜18が形成されており、反射防止膜18上にはシリコン窒化膜20が形成されている。これらの側壁には、サイドウォール絶縁膜28が形成されている。シリコン基板10には、ゲート電極24に自己整合で低濃度拡散層より成るソース/ドレイン拡散層26、27が構成されている。

【0027】このようにして転送トランジスタが形成されたシリコン基板10上には、全面に、膜厚20nmのシリコン窒化膜より成るエッチングストップ膜30が形成されており、更に全面に、膜厚500nmのBPSG膜より成る層間絶縁膜32が形成されている。

【0028】層間絶縁膜32には、転送トランジスタの一方のソース/ドレイン拡散層27に達するコンタクトホール34が形成されており、コンタクトホール34内には導体プラグ36が埋め込まれている。

【0029】導体プラグ36が埋め込まれた層間絶縁膜

32 上には、膜厚 60 nm のシリコン酸化膜 38 が形成されている。シリコン酸化膜 38 上には、コンタクトホール 40 を介して転送トランジスタのソース／ドレイン拡散層 26 に接続されると共に、図 1 の左側の図において紙面水平方向に延在するビット線 54 (図 3 参照) が形成されている。ビット線 54 は、膜厚 40 nm のポリシリコン膜 42 及び膜厚 160 nm のタングステンシリサイド膜 44 より成るポリサイド構造を為すものであり、ビット線 54 上には、シリコン窒化酸化膜 46 が形成されている。

【0030】なお、ビット線 54 は、上記の構造に限定されるものではない。例えば、膜厚 40 nm のチタン膜、膜厚 20 nm のチタン窒化膜、及び膜厚 100 nm のタングステン膜によりビット線 54 を構成し、このビット線 54 上に膜厚 80 nm のシリコン窒化酸化膜 46 を形成してもよい。W/TiN/Ti 構造のビット線には金属膜が用いられているので、ビット線 54 の低抵抗化を実現することができる。

【0031】本実施形態による半導体装置は、ビット線 54 の幅が 120 nm と極めて狭いことに主な特徴の一つがある。現在のフォトリソグラフィ技術では、極めて波長の短い KrF エキシマレーザを用いた場合であっても、解像限界の最小寸法は 160 nm 程度である。これに対し、本実施形態による半導体装置では、ビット線 54 の幅が現在のフォトリソグラフィ技術の解像限界である 160 nm よりも極めて細く、このため半導体装置の微細化を実現することができ、集積度を向上することが可能となる。このような幅の狭いビット線 54 は、後述する本実施形態による半導体装置の製造方法により形成することができる。なお、本実施形態による半導体装置では、後述する本実施形態による半導体装置の製造方法を用いることにより、更にビット線 54 を細くすることも可能である。

【0032】ビット線 54 が形成されたシリコン酸化膜 38 上の全面には、膜厚約 10~30 nm のシリコン窒化膜より成る保護膜 59 が形成されている。ビット線 54 が薄い保護膜 59 により覆われているため、ビット線 54 と導体プラグ 37 との間の耐圧を向上することができ、また位置ずれマージンを確保することができる。

【0033】保護膜 59 上には、全面に、膜厚 700 nm の BPSG 膜より成る層間絶縁膜 60 が形成されている。層間絶縁膜 60、保護膜 59 及びシリコン酸化膜 38 には、導体プラグ 36 に達するコンタクトホール 35 が形成されており、コンタクトホール 35 内には導体プラグ 37 が埋め込まれている。本実施形態による半導体装置は、コンタクトホール 35 の径が 80 nm×80 nm と極めて小さく、この微細なコンタクトホール 35 内に導体プラグ 37 が埋め込まれていることに主な特徴の一つがある。このような微細なコンタクトホール 35 は、後述する本実施形態による半導体装置の製造方法に

より形成することができる。本実施形態による半導体装置は上述したようにビット線 54 の幅が極めて狭く、コンタクトホール 35 も微細であるため、半導体装置を微細化した場合であっても SAC 技術を用いることなく導体プラグ 37 と導体プラグ 36 とを接続することができる。

【0034】SAC 技術を用いて形成された従来の半導体装置では、ビット線の側面にシリコン窒化膜よりなるサイドウォール絶縁膜が形成されており、かかるサイドウォール絶縁膜は寄生容量が大きかった。これに対し、本実施形態による半導体装置では、SAC 技術を用いることなく微細なビット線 54 と微細な導体プラグ 37 とを形成することができるので、ビット線 54 の側面に寄生容量の大きいサイドウォール絶縁膜を形成する必要がなく、従って、ビット線 54 と導体プラグ 37 との間の寄生容量を低減することができる。

【0035】層間絶縁膜 60 上には、膜厚 50 nm のシリコン窒化膜より成るエッチングストップ膜 61 が形成されている。層間絶縁膜 60 及びエッチングストップ膜 61 には、導体プラグ 37 に達する開口部 66 が形成されている。開口部 66 は、エッチングストップ膜 61 下の一部にも形成されている。

【0036】キャパシタ 79 の蓄積電極 68 は、開口部 66 にその一部が埋め込まれるように形成されている。即ち、蓄積電極 68 は、その側面の下部がエッチングストップ膜 61 の下側に食い込むように形成されている。また、蓄積電極 68 は、導体プラグ 37 に接続されている。本実施形態による半導体装置は、キャパシタ 79 の蓄積電極 68 がエッチングストップ膜 61 の下側に食い込むように形成されているので、蓄積電極 68 がエッチングストップ膜 61 により固定され、従って、蓄積電極 68 を下地に対して確実に固定することができる。これにより、蓄積電極 68 が剥がれるのを防止することができ、半導体装置の製造歩留りを向上することができる。

【0037】また、本実施形態による半導体装置は、蓄積電極 68 の表面に膜質の粗い粗面ポリシリコン膜が形成されていることにも特徴がある。粗面ポリシリコン膜は膜質が粗いので蓄積電極の表面積を大きくすることができ、従って、キャパシタ 79 の静電容量を大きくすることができる。

【0038】蓄積電極 68 上及びエッチングストップ膜 61 上には、全面に膜厚 4 nm のシリコン窒化膜より成る誘電体膜 72 が形成されている。誘電体膜 72 上には、膜厚 1 μm のポリシリコン膜より成る対向電極 77 が形成されている。こうして、本実施形態による半導体装置が構成されている。

【0039】このように本実施形態によれば、ビット線の幅が極めて狭く、導体プラグも微細であるため、ビット線の側面に誘電率の高いシリコン窒化膜より成るサイドウォール絶縁膜を形成する必要がある。従って、ビッ

ト線と導体プラグとの間の寄生容量を低減することができる。

【0040】また、本実施形態によれば、蓄積電極の下端部がエッチングストップ膜の下側に食い込むように形成されているので、蓄積電極がエッチングストップ膜により固定される。従って、ウェットエッチング等のプロセスで蓄積電極が剥がれてしまうのを抑制することができ、高い歩留りで半導体装置を製造することが可能となる。

【0041】また、本実施形態によれば、薄いシリコン窒化膜より成る保護膜によりビット線を覆っているの
10 で、ビット線と蓄積電極との間の耐圧を確保することができる。また、保護膜によりビット線と層間絶縁膜との間の密着性を向上することができるので、ビット上に形成された層間絶縁膜が剥がれるのを防止することができる。

【0042】（半導体装置の製造方法）次に、本実施形態による半導体装置の製造方法を図4乃至図9を用いて説明する。図4乃至9の紙面左側の図は、図2及び図3のA-A'線断面図、即ちDRAMのビット線に沿った
20 断面図であり、紙面中央の図は、図2及び図3のB-B'線断面図、即ちDRAMのワード線に沿った断面図であり、紙面右側の図は、周辺トランジスタの断面図である。

【0043】まず、STI (Shallow Trench Isolation) 法により素子分離領域12を形成する。STI法による素子分離領域12は以下のようにして形成することができる。即ち、まず、シリコン基板10上に膜厚150nmのシリコン窒化膜（図示せず）を形成する。次に、シリコン窒化膜を素子分離領域12の形状にパターニングする。次に、シリコン窒化膜をマスクとして、シリコン基板10を400nmの深さまでエッチングする。次に、全面に、CVD法により、膜厚800nmのシリコン酸化膜（図示せず）を形成する。次に、CMP法により、シリコン窒化膜の表面が露出するまでシリコン酸化膜を研磨する。次に、シリコン窒化膜を剥離する。こうして、STI法により素子分離領域12が形成され、素子領域11（図2参照）が画定される（図4（a）参照）。

【0044】次に、シリコン基板10に不純物イオンを注入することにより、素子領域11にウェル（図示せず）を形成する。次に、シリコン基板10の表面に、熱酸化法により、膜厚6.5nmのゲート酸化膜13を形成する。

【0045】次に、CVD法により、膜厚50nmのポリシリコン膜14、膜厚100nmのタングステンシリサイド膜16、膜厚60nmのシリコン窒化酸化膜より成る反射防止膜18、膜厚130nmのシリコン窒化膜20を形成する。こうして、ポリシリコン膜14、タン
グステンシリサイド膜16、反射防止膜18、及びシリ

コン窒化膜20より成る積層膜が形成される。次に、この積層膜をゲート電極24の平面形状にパターニングする。こうして、転送トランジスタのワード線を兼ねるゲート電極24が形成され、センスアンプ部、サブワードデコーダ部等の周辺回路部のトランジスタ（以下、周辺トランジスタという）のゲート電極24a、24bが形成される。

【0046】次に、ゲート電極24、24a、24bに自己整合で不純物イオンを導入することにより、素子領域11に低濃度拡散層26、27、29aを形成する。これにより、低濃度拡散層より成るソース/ドレイン拡散層26、27が構成されることとなる。

【0047】次に、全面に、膜厚60nmのシリコン窒化膜を形成し、この後、シリコン窒化膜を異方性エッチングすることによりゲート電極24、24a、24bの側面に膜厚約50nmのシリコン窒化膜より成るサイドウォール絶縁膜28を形成する。

【0048】次に、周辺トランジスタの素子領域が開口するフォトレジストマスク（図示せず）を形成し、このフォトレジストマスクをマスクとして、高濃度に不純物イオンを導入する。これにより、サイドウォール絶縁膜28が形成されたゲート電極24a、24bに自己整合で不純物イオンが導入され、高濃度拡散層29bが形成される。こうして、低濃度拡散層29a及び高濃度拡散層29bよりなるLDD (Lightly Doped Drain) 構造のソース/ドレイン拡散層29が構成される。

【0049】次に、全面に、CVD法により、膜厚20nmのシリコン窒化膜より成るエッチングストップ膜30を形成する（図4（b）参照）。

30 【0050】次に、CVD法により、膜厚500nmのBPSG膜より成る層間絶縁膜32を形成する。この後、層間絶縁膜32の表面を、リフロー法及びCMP法により平坦化する。次に、SAC技術を用い、ゲート電極24を覆うシリコン窒化膜20、30及びサイドウォール絶縁膜28に対して高い選択比で層間絶縁膜32をエッチングする。これにより、ソース/ドレイン拡散層27に達するコンタクトホール34が形成される。SAC技術を用いてコンタクトホール34を形成するので、フォトリソグラフィにおける位置ずれマージンを大きくすることができる。

【0051】次に、全面に、CVD法により、ポリシリコン膜を形成する。この後、CMP法により、層間絶縁膜32の表面が露出するまでポリシリコン膜を研磨し、コンタクトホール内にポリシリコン膜より成る導体プラグ36を形成する（図5（a）参照）。

【0052】次に、全面に、CVD法により、膜厚100nmのシリコン酸化膜38を形成する。次に、シリコン窒化膜20に対して選択性の低い条件で、周辺トランジスタのゲート電極24bに達するコンタクトホール35を、異方性エッチングにより形成する。コンタクトホ

ール 33 を形成する際の、エッチングガスとしては、例えば、 CHF_3 ガス、 Ar ガス、 O_2 ガス等より成る混合ガスを用いることができる（図 5（b）参照）。

【0053】次に、サイドウォール絶縁膜 28 及びシリコン窒化膜 30 に対して高い選択比で、シリコン酸化膜 38 及び層間絶縁膜 32 をエッチングし、転送トランジスタのソース／ドレイン拡散層 26 に達するコンタクトホール 40 と、周辺トランジスタのソース／ドレイン拡散層 29 に達するコンタクトホール 41 とを形成する。エッチング条件は、例えば、エッチングガスとして C_4F_8 ガス、 CHF_2 ガス、 Ar ガス、 O_2 ガス等より成る混合ガスを用いることができる。

【0054】本実施形態による半導体装置の製造方法では、周辺トランジスタのゲート電極 24b に達するコンタクトホール 33 を形成する工程と、ソース／ドレイン拡散層 26 に達するコンタクトホール 40 を形成する工程とを別個の工程で行うことに特徴の一つがある。このように別個の工程でコンタクトホール 33、40 を形成するのは、以下の理由によるものである。即ち、コンタクトホール 33 を形成する際には、シリコン窒化膜 20 をエッチングする必要があるためシリコン窒化膜 20 に対して低い選択比でエッチングする必要があるが、コンタクトホール 40 を形成する際には、シリコン窒化膜 20、30 及びサイドウォール絶縁膜 28 に対して高い選択比でエッチングする必要があるからである。

【0055】本実施形態による半導体装置の製造方法では、周辺トランジスタのゲート電極 24b に達するコンタクトホール 33 を先の工程で形成し、セルトランジスタのソース／ドレイン拡散層 26 に達するコンタクトホール 40 を後の工程で形成する。このような順序でコンタクトホール 33、40 を形成するのは、先の工程で転送トランジスタのソース／ドレイン拡散層 26 に達するコンタクトホール 40 を形成すると、後の工程でゲート電極 24b に達するコンタクトホール 33 を形成する際にコンタクトホール 40 内にレジストが詰まり、この後コンタクトホール 40 内に詰まったレジストを確実に除去できず、導体プラグ 36 とソース／ドレイン拡散層 26 との間のコンタクトの信頼性の低下を招くからである。従って、本実施形態では、周辺トランジスタのゲート電極 24b に達するコンタクトホール 33 を形成した後、転送トランジスタのソース／ドレイン拡散層 26 に達するコンタクトホール 40 を形成する（図 6（a）参照）。

【0056】次に、等方性エッチングを用い、コンタクトホール 40、41 内に露出するシリコン基板 10 の表面をエッチングする。エッチングガスとしては、例えば CF_4 ガス、 Ar ガス等を用いることができる。これにより、コンタクトホール 40、41 を形成する際にダメージを受けたシリコン基板 10 の表面がエッチングされるので、ソース／ドレイン拡散層 26 とビット線 54 と

の間で良好なコンタクトを実現することができ、ソース／ドレイン拡散層 29 と配線 55b との間で良好なコンタクトを実現することができる。

【0057】次に、全面に、CVD 法により、膜厚 40 nm のポリシリコン膜 42、膜厚 160 nm のタングステンシリサイド膜 44、膜厚 50 nm のシリコン窒化酸化膜より成る反射防止膜 46 を順次形成する。こうして、ポリシリコン膜 42、タングステンシリサイド膜 44、反射防止膜 46 より成る積層膜が形成される。

【0058】次に、RTA（Rapid Thermal Anneal、短時間アニール）法により、熱処理を行う。これによりゲート電極 24b と配線 55a との間で良好なコンタクトを実現することができる。熱処理条件は、例えば温度を 1000℃ とし、アニール時間を数秒から数十秒とすることができる。

【0059】なお、 W/TiN/Ti 構造のビット線 54 を形成する場合には、積層膜を以下のようにして形成する。即ち、まず、全面に、CVD 法又はスパッタ法により、膜厚 40 nm のチタン膜を形成し、この後、シリサイド化を図るべく、RTA 法により、700℃、30 秒の熱処理を行う。次に、CVD 法又はスパッタ法により、膜厚 20 nm のチタン窒化膜を形成し、この後、RTA 法により、700℃、30 秒の熱処理を行う。次に、CVD 法により、膜厚 100 nm のタングステン膜、膜厚 80 nm のシリコン窒化酸化膜を順次形成する。こうして、積層膜が形成される。この場合には、積層膜を形成する過程で熱処理が行われているため、更なる熱処理を行わなくても、ゲート電極 24b と配線 55a との間での良好なコンタクトは確保しうる。

【0060】次に、積層膜をパターンニングするためのフォトリソマスクを形成する。本実施形態による半導体装置の製造方法では、微細加工を可能とするため、波長の短い KrF エキシマレーザを用いて露光する。フォトリソマスクの材料としては、KrF エキシマレーザの波長に対応した化学増幅型レジストを用いる。KrF エキシマレーザを用いて露光すると、現在の技術では解像限界の最小寸法は 160 nm 程度である。従って、フォトリソマスクのパターンは、ビット線 54 に対応する領域において例えば 160 nm となるように形成する。

【0061】次に、プラズマエッチング法により、フォトリソマスクを等方性エッチングする。これにより、ビット線 54 に対応する領域において、フォトリソマスクのパターンの幅を片側で例えば 20 nm、全体として例えば 40 nm 細くする。これにより、ビット線 54 に対応する領域においてフォトリソマスクの幅は例えば 120 nm となる。なお、フォトリソマスクを等方性エッチングする際には、例えば 2 周波の平行平板型のエッチング装置を用いることができる。印加電圧は、対向電極側において、例えば 27 MHz、500 W、シリコン基板側において例えば RF（Radio Frequency）、30

Wとすることができる。

【0062】エッチングガスとしては、例えば N_2 ガス、 O_2 ガスより成る混合ガスを用いることができる。また、圧力は例えば30mTorrとすることができ、ガス流量は N_2 ガスを150cc/min、 O_2 ガスを15cc/minとすることができる。エッチング時間は、例えば20秒とすることができる。これにより、ビット線54に対応する領域において例えば幅120nmのパターンが形成されたフォトレジストマスクが形成される。

【0063】なお、フォトレジストマスクのパターン幅は、エッチング時間を適宜調整することにより設定することができる。上記ではエッチングガスとして、 N_2 ガスと O_2 ガスより成る混合ガスを用いたが、エッチングガスは上記に限定されるものではなく、例えば、HBrガスと O_2 ガスより成る混合ガス等を用いてもよい。

【0064】また、薄いフォトレジスト膜を用いてフォトレジストマスクを形成する場合には、オゾンアッシャを用いることが望ましい。オゾンアッシャを用いれば、フォトレジスト膜の基板垂直方向の厚さが減少するのを抑制することができるからである。こうして形成されたフォトレジストマスクをマスクとして積層膜をエッチングすることにより、現在のフォトリソグラフィ技術での解像限界より細いビット線を形成することができる。

【0065】このように、本実施形態によれば、フォトレジスト膜をパターンニングした後に、更にフォトレジスト膜を等方性エッチングしてフォトレジストマスクを形成するので、このフォトレジストマスクを用いて現状のフォトリソグラフィ技術における解像限界より細いビット線を形成することができる。また、本実施形態によれば、周辺トランジスタのゲート電極54bと配線55aとを直接接続することができるので、配線55aのレイアウトが容易となり、半導体装置の微細化に寄与することができる。

【0066】次に、全面に、CVD法により、膜厚10~30nmのシリコン窒化膜より成る保護膜59を形成する。なお、この後、保護膜59を異方性エッチングすることにより、ビット線54の側壁のみに保護膜59を残すようにしてもよい。また、セルアレイ部を覆うマスクを用いて、周辺回路部の保護膜59のみをエッチングするようにしてもよい。但し、W/TiN/Ti構造のビット線のように金属膜を用いたビット線54の場合には、ビット線54と層間絶縁膜60との密着性が良好ではなく、層間絶縁膜60が剥がれやすい。従って、かかる場合には、保護膜59をエッチングすることなく、全面に形成された保護膜58上に層間絶縁膜60を形成することが望ましい。

【0067】次に、全面に、CVD法により、膜厚700nmのHDP-USG (High Density Plasma-Undoped Silicate Glass) 膜より成る層間絶縁膜60を形成す

る。なお、層間絶縁膜60は、HDP-USG膜のみならず、例えばBPSG膜等の他の絶縁膜を用いてもよい。次に、CMP法により、層間絶縁膜60の表面を平坦化する(図6(b)参照)。

【0068】次に、層間絶縁膜60上に、膜厚200nmのポリシリコン層より成るエッチングストップ膜80を形成する。なお、エッチングストップ膜80は、層間絶縁膜60をエッチングしてコンタクトホール35を形成する際のエッチングストップとして機能するため、層間絶縁膜60に対して高い選択比を有する材料を用いることが望ましい。従って、エッチングストップ膜80は、ポリシリコン層に限定されるものではなく、例えばシリコン窒化膜やアルミナ(Al_2O_3)膜等を用いてもよい。

【0069】次に、エッチングストップ膜80をパターンニングし、コンタクトホール35に対応する領域のエッチングストップ膜80に開口部81を形成する。このとき、下地の層間絶縁膜60がエッチングされてしまう深さは例えば100nm以下に抑えておくことが望ましい。次に、全面に、膜厚100nmのポリシリコン膜を形成する。ここでポリシリコン膜を用いているのは、ポリシリコン膜は後工程で層間絶縁膜60にコンタクトホールを形成する際に、層間絶縁膜60に対して高い選択比を有する材料であるためである。従って、ポリシリコン膜のみならず、層間絶縁膜60に対して高い選択比を有する膜、例えばシリコン窒化膜やアルミナ膜等を適宜用いることができる。

【0070】次に、ポリシリコン膜を異方性エッチングし、これによりエッチングストップ膜80の側面にサイドウォール82を形成する。エッチングストップ膜80の側面にサイドウォール82が形成されているので、エッチングストップ膜80の分だけ径の小くなった開口部84が形成される。こうして、エッチングストップ膜80及びサイドウォール82より成るマスク86が構成される(図7(a)参照)。

【0071】次に、マスク86を用いて、層間絶縁膜60、保護膜59、及びシリコン酸化膜38を順次異方性エッチングし、これにより導体プラグ36に達するコンタクトホール35を形成する。層間絶縁膜60をエッチングするには、ポリシリコン膜より成るエッチングストップ膜80、ポリシリコン膜より成るサイドウォール82及びシリコン窒化膜より成る保護膜59に対して、層間絶縁膜60を高い選択比でエッチングできるよう、例えば C_4F_8 ガス、 CH_2F ガス、Arガス、及び O_2 ガス等より成る混合ガスを用いることができる。また、保護膜59をエッチングするには、ポリシリコン膜より成るエッチングストップ膜80、ポリシリコン膜より成るサイドウォール82及びシリコン酸化膜38に対して、保護膜60を高い選択比でエッチングできるよう、例えば CHF_3 ガス、Arガス、及び O_2 ガスより成る混

合ガスを用いることができる。また、 CH_2F_2 ガス、 Ar ガス、及び O_2 ガスより成る混合ガスを用いてもよい。また、シリコン酸化膜38をエッチングする際には、ポリシリコン膜より成るエッチングストップ膜80、及びポリシリコン膜より成るサイドウォール82に対して、シリコン酸化膜38を高い選択比でエッチングできるよう、例えば C_4F_8 ガス、 CH_2F_2 ガス、 Ar ガス、及び O_2 ガスより成る混合ガスを用いることができる。こうして、導体プラグ36に達するコンタクトホール35が形成されるが、マスク86の開口部84の径が

【0072】次に、全面に、膜厚200nmのポリシリコン膜を形成する。次に、CMP法により、層間絶縁膜60の表面が露出するまでポリシリコン膜を研磨し、コンタクトホール35内にポリシリコン膜より成る導体プラグ37を形成する(図7(b)参照)。なお、次に、全面に、膜厚50nmのシリコン窒化膜より成るエッチングストップ膜61を形成する。次に、全面に、0.8

【0073】次に、エッチングストップ膜61をエッチングストップとして、絶縁膜64をエッチングし、キャパシタ79の蓄積電極68を形成する領域に対応した開口部66を形成する。次に、開口部66内に露出したエッチングストップ膜61をエッチングし、導体プラグ37の上面を露出する。このとき、エッチングストップ膜61のみならず、所定の深さまで層間絶縁膜60をもエッチングする。層間絶縁膜60をエッチングする深さは、例えば層間絶縁膜60の表面から100nm程度とすることができる。

【0074】次に、HF系のウェットエッチングにより、エッチングストップ膜61の下の層間絶縁膜60にサイドエッチングを行う。このときのサイドエッチングの紙面横方向の距離は、2~20nm、例えば10nm程度とすることができる。こうして、エッチングストップ膜61の下にまで開口部66が形成される(図8

【0075】次に、全面に、CVD法により、膜厚50nmのアモルファスシリコン膜を形成する。これにより、アモルファスシリコン膜は、サイドエッチングされたエッチングストップ膜61の下にまで形成される。次に、全面に、膜厚1.3μmのレジスト膜(図示せず)を形成し、絶縁膜64の表面が露出するまでアモルファスシリコン膜及びレジスト膜を研磨する。これにより、開口部66内にアモルファスシリコン膜より成る蓄積電極68が形成される。次に、アッシングによりレジスト膜を除去する。こうして、シリンダー形状の蓄積電極68が形成される。

【0076】次に、HF系のウェットエッチングにより絶縁膜64をエッチングする。蓄積電極68がエッチングストップ膜61の下側に食い込むように形成されているため、エッチングストップ膜61により蓄積電極68が固定され、HF系のウェットエッチングを行った場合であっても蓄積電極68が剥離してしまうのを防止することができる(図9(a)参照)。

【0077】次に、CVD法により、蓄積電極68の表面に膜厚30nm程度の凹凸を有する粗面ポリシリコンを選択的に成長し、この後真空アニールを行うことにより、蓄積電極68の表面を粗面化する。なお、蓄積電極68の表面を粗面化しなくても十分な静電容量を有するキャパシタを形成することができる場合には、蓄積電極68の表面を粗面化しなくてもよい。蓄積電極68の表面を粗面化した場合には、蓄積電極68中の不純物であるリンの濃度が低くなり、空乏化を生じる場合がある。蓄積電極68に空乏化が生じる場合には、蓄積電極68を粗面化した後に、例えば700℃の PH_3^+ 雰囲気中にてアニールを行い、蓄積電極68中にリンを気相拡散し、蓄積電極68中の不純物濃度を増加すればよい。

【0078】次に、全面に、 NH_3 雰囲気中にてアニールを行い、蓄積電極68の表面を窒化する。次に、CVD法により、膜厚4nmのシリコン窒化膜よりなる誘電体膜72を形成する。次に、キャパシタの特性を改善するため、約800℃の酸化熱処理を行う。次に、膜厚1μmのポリシリコン膜より成る対向電極77を形成する。

【0079】また、上記では、シリコン窒化膜より成る誘電体膜72を形成したが、誘電体膜72はシリコン窒化膜に限定されるものではなく、例えば Ta_2O_5 膜等の高誘電体膜等を用いてもよい。これにより、高い静電容量を有するキャパシタ79を形成することができる。例えば、 Ta_2O_5 膜を誘電体膜72として用いる場合には、まず、RTN処理により蓄積電極68の表面を窒化することによりシリコン窒化膜を形成し、この後、CVD法により、例えば膜厚8nmの Ta_2O_5 膜を形成する。次に、800℃程度の酸化熱処理または O_2 プラズマアニール等を行う。この後、膜厚50nmのチタン窒化膜と膜厚100nmのポリシリコン膜とを形成することにより対向電極77を形成する。こうして、 Ta_2O_5 膜等の高誘電体膜を誘電体膜72として用いたキャパシタ79が形成される。

【0080】この後、対向電極77上に、更に層間絶縁膜等(図示せず)を形成し、更に配線層等(図示せず)を形成することにより、本実施形態による半導体装置を製造することができる。

【0081】(変形例) 次に、本実施形態の変形例による半導体装置の製造方法を図10を用いて説明する。図10は、本変形例による半導体装置の製造方法を示す工程断面図である。

【0082】本変形例による半導体装置は、多孔質のポリシリコン膜より成る蓄積電極68aを形成することに主な特徴がある。

【0083】まず、開口部66を形成する工程までは、図4(a)乃至図8(b)に示す第1実施形態による半導体装置の製造方法と同様であるので説明を省略する。

【0084】次に、全面に、CVD法により、膜厚50～100nmの多孔質なポリシリコン膜を形成する。成膜条件は、例えば成膜温度を570℃程度とし、SiH₄ガスを用いることができる。このような条件で多孔質のポリシリコン膜を形成した場合には、多孔質のポリシリコン膜の膜質は、粒径の大きいグレインが粗に存在する膜質となる。

【0085】また、多孔質のポリシリコン膜は以下のようにしても形成することができる。即ち、膜厚30nm程度のアモルファスシリコン膜を形成し、この後、成膜温度570℃でSiH₄ガスを用いて、膜厚30nm程度のポリシリコン膜を形成し、この後、560℃、10⁻⁸Torrの真空アニールを数十分間行うことにより、グレインを成長して多孔質のポリシリコン膜を形成することもできる。

【0086】次に、全面に、膜厚1.3μmのレジスト膜(図示せず)を形成し、絶縁膜64の表面が露出するまで多孔質なポリシリコン膜及びレジスト膜を研磨する。これにより、開口部66内に多孔質なポリシリコン膜より成る蓄積電極68aが形成される。次に、アッシングによりレジスト膜を除去する。こうして、シリンダ形状の蓄積電極68aが形成される(図10(a)参照)。

【0087】次に、HF系のウェットエッチングにより絶縁膜64をエッチングする。本実施形態では、蓄積電極68aとして多孔質なポリシリコン膜が用いられているため、エッチング液が蓄積電極68aの孔を通して、蓄積電極68aの内側から外側に向かって浸透していく。これにより、蓄積電極68a間の絶縁膜64にエッチング液が速やかに浸透していくので、蓄積電極68a間の絶縁膜64が速やかにエッチングされる。これにより、セル部における絶縁膜64のエッチングを速やかに行うことができるため、セル部以外の領域に絶縁膜64を残すことができる。具体的には、セル部以外の領域の絶縁膜64の膜厚は、エッチングを行う前の膜厚に対して5%～10%程度しか薄くならない。セル部以外の領域に絶縁膜64を残すことができるので、従来生じていたセル部とセル部以外の領域との間の段差を低減することができる。

【0088】このように、本変形例によれば、多孔質なポリシリコン膜より成る蓄積電極を形成するので、キャパシタの静電容量を大きくすることができる。また、本変形例によれば、絶縁膜64をエッチングする際にHF系のエッチング液が蓄積電極の孔を通じて浸透するの

で、蓄積電極間の絶縁膜64を速やかにエッチングすることができ、セル部以外の領域の絶縁膜64を残すことができる。従って、シリンダ型のキャパシタを有する半導体装置を製造する場合であっても、セル部とセル部以外の領域との段差を低減することができる。

【0089】[第2実施形態]本発明の第2実施形態による半導体装置及びその製造方法を図11乃至図14を用いて説明する。図11は、本実施形態による半導体装置を示す断面図である。図12乃至図14は、本実施形態による半導体装置の製造方法を示す工程断面図である。図1乃至図10に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0090】(半導体装置)まず、本実施形態による半導体装置を図11を用いて説明する。本実施形態による半導体装置は、蓄積電極と導体プラグとがいわゆるデュアルダマシ構造になっていることに主な特徴がある。図11に示すように、層間絶縁膜60上には、エッチングストップ膜80aが形成されており、エッチングストップ膜80aの開口部81aの内側には、ポリシリコン膜より成るサイドウォール82aが形成されている。サイドウォール82aは、エッチングストップ膜80aの下に、その一部が食い込むように形成されている。

【0091】蓄積電極68bは導体プラグと一体に形成されており、蓄積電極68bが導体プラグ36に達するように形成されている。蓄積電極68bが導体プラグと一体に形成されているので、蓄積電極68bを下地に対して確実に固定することができ、HF系のウェットエッチングを行った際に蓄積電極68bが剥離してしまうのを抑制することができる。

【0092】また、蓄積電極68bの材料にはポリシリコン膜が用いられている。蓄積電極68bとサイドウォール82aとが同様の材料を用いて形成されているため、蓄積電極68bとサイドウォール82aとの密着性が高い。しかも、サイドウォール82aはエッチングストップ膜80aの下に食い込むように形成されているので、蓄積電極68bを下地に対して確実に固定することができ、HF系のウェットエッチングを行った際に蓄積電極68bが剥離してしまうのを抑制することができる。

【0093】(半導体装置の製造方法)次に、本実施形態による半導体装置の製造方法を図12乃至図14を用いて説明する。

【0094】まず、層間絶縁膜60を形成する工程までは、図3(a)乃至図6(b)に示す第1実施形態による半導体装置の製造方法と同様であるので、説明を省略する。次に、全面に、200nmのシリコン窒化膜より成るエッチングストップ膜80aを形成する。エッチングストップ膜80aの材料としてシリコン窒化膜を用いているのは、層間絶縁膜60をエッチングする際に高い

選択比が得られるからである。なお、エッチングストップ膜は導電膜でもよいが、導電膜の場合は後工程で除去しなければならないため、絶縁膜を用いることが望ましい。

【0095】次に、エッチングストップ膜80aをパターンニングする。このとき、層間絶縁膜60がエッチングされる深さは、層間絶縁膜60の表面から100nm程度の深さに抑えておくことが望ましい。

【0096】次に、HF系のウェットエッチングにより、エッチングストップ膜80a下の層間絶縁膜60をサイドエッチングする。これにより、後工程で形成するサイドウォール82aがエッチングストップ膜80a下にまで形成されるので、サイドウォール82aをエッチングストップ膜80aに確実に固定することができる。なお、サイドエッチングを行う際の層間絶縁膜60のエッチング量は、図12(a)の紙面左右方向において、2~20nm、例えば10nm程度とすることができ

る。

【0097】次に、全面に、CVD法により、膜厚100nmのポリシリコン膜を形成する。次に、ポリシリコン膜を異方性エッチングすることにより、エッチングストップ膜80aの開口部81aの内側にサイドウォール82aを形成する。エッチングストップ膜の開口部81aの内側にサイドウォール82aが形成されるので、サイドウォール82aの厚さの分だけ開口部81aの径が小さくなり、例えば開口部の径が80nm×80nmとなる。なお、ポリシリコン膜を形成する際の膜厚は、所望の厚さのサイドウォール82aを形成することにより所望の径の開口部84aを形成することができるよう、適宜設定することが望ましい。なお、サイドウォール82aの材料は、高い選択比で層間絶縁膜60をエッチングすることができれば他の材料を用いてもよく、例えばシリコン窒化膜等を用いることができる。こうして、エッチングストップ膜80a及びサイドウォール絶縁膜82aより成るマスク86aが構成される(図12(a)参照)。

【0098】次に、全面に、CVD法により、膜厚0.8~1.2μm、例えば1μmのBPSG膜より成る絶縁膜64を形成する。次に、全面に、CVD法により、膜厚100nmのポリシリコン膜88を形成する。次に、全面に、CVD法により、膜厚30nmのシリコン窒化酸化膜より成る反射防止膜90を形成する(図12(b)参照)。

【0099】次に、反射防止膜90、ポリシリコン膜88をパターンニングし、反射防止膜90を除去する。つぎに、ポリシリコン膜88をマスクとして、マスク86aに対して高い選択比で絶縁膜64、層間絶縁膜60、保護膜59、及びシリコン酸化膜38をエッチングし、これにより、キャパシタの蓄積電極を形成するための開口部66と導体プラグ36に達するコンタクトホール35

aとを形成する(図13(a)参照)。

【0100】次に、全面に、膜厚50nmのポリシリコン膜を形成する。次に、全面に、膜厚1.3μmのレジスト膜を形成し、CMP法により、絶縁膜64の表面が露出するまでポリシリコン膜及びレジスト膜を研磨する。次に、アッシングにより、蓄積電極68の内側のレジスト膜を除去する。こうして導体プラグ36に達する導電体プラグが一体形成された蓄積電極68bが形成される。

10 【0101】次に、HF系のウェットエッチングにより、絶縁膜64をエッチングする。本実施形態による半導体装置の製造方法では、導体プラグと一体形成された蓄積電極68aが形成されているので、下地に対して蓄積電極68bが確実に固定されている。しかも、蓄積電極68bと同様の材料より成るサイドウォール82aがエッチングストップ膜80a下に食い込むように形成されているので、蓄積電極68bが更に確実に固定され、蓄積電極68bが剥がれるのを更に抑制することができる。

20 【0102】このように本実施形態によれば、蓄積電極が導体プラグと一体に形成されているので、蓄積電極を下地に対して確実に固定することができる。従って、HF系のウェットエッチングを行った際に蓄積電極が剥離してしまうのを抑制することができる。

【0103】また、本実施形態によれば、エッチングストップ膜の下に食い込むように形成されたサイドウォールが、蓄積電極と同様の材料により形成されているので、蓄積電極を下地に対して更に確実に固定することができる。

30 【0104】また、本実施形態によれば、導体プラグを埋め込むためのコンタクトホールと、蓄積電極を形成するための開口部とを同じ工程で形成するので、簡便な工程で半導体装置を製造することができる。

【0105】また、本実施形態によれば、エッチングストップ膜として絶縁膜を用いているので、絶縁膜を除去する必要がなく、工程を簡略化することができる。

【0106】〔変形実施形態〕本発明は上記実施形態に限らず種々の変形が可能である。

40 【0107】例えば、第1実施形態では、エッチングストップ膜80としてポリシリコン膜を用いたが、エッチングストップ膜80として絶縁膜を用いてもよい。エッチングストップ膜80として絶縁膜を用いれば、エッチングストップ膜80を除去する必要がないので、工程を簡略化することができる。

50 【0108】また、第1実施形態では、導体プラグ36と導体プラグ37とを別個に形成したが、導体プラグ36と導体プラグ37とを一体に形成してもよい。即ち、導体プラグ37を形成する際に、ソース/ドレイン拡散層27に達するコンタクトホールを形成し、このコンタクトホール内にソース/ドレイン拡散層27に達する導

体プラグを形成してもよい。

【0109】また、第2実施形態では、蓄積電極68bと導体プラグ36とを別個に形成したが、蓄積電極68bと導体プラグ36とを一体に形成してもよい。即ち、蓄積電極68bを形成する際に、ソース/ドレイン拡散層27に達するコンタクトホールを形成し、このコンタクトホール内にソース/ドレイン拡散層27に達する蓄積電極68bを形成してもよい。

【0110】また、第1実施形態では、転送トランジスタのソース/ドレイン拡散層26に達するコンタクトホール40と周辺トランジスタのソース/ドレイン拡散層29に達するコンタクトホール41とを同じ工程で形成したが、コンタクトホール41は必ずしもコンタクトホール40を形成するのと同じ工程で形成する必要はなく、コンタクトホール33を形成するのと同じ工程で形成してもよい。

【0111】また、第1実施形態では、絶縁膜64をエッチングした後に蓄積電極68の表面に粗面ポリシリコン膜を形成したが、絶縁膜64をエッチングする前に蓄積電極68の内面に粗面ポリシリコン膜を形成してもよい。

【0112】また、第1実施形態では、絶縁膜64をエッチングした後に蓄積電極68の表面に粗面ポリシリコン膜を形成したが、粗面ポリシリコン膜より成る蓄積電極68を形成してもよい。即ち、絶縁膜64に開口部66を形成した後に、全面に粗面ポリシリコン膜を形成し、この粗面ポリシリコン膜より成る蓄積電極を形成してもよい。

【0113】また、第2実施形態では、サイドウォール82aの材料として蓄積電極68bと同様の材料を用いたが、下地に対して蓄積電極68bを確実に固定することができるならば、必ずしもサイドウォール82aの材料を蓄積電極68bの材料と同様としなくてもよい。

【0114】また、第1及び第2実施形態では、シリンダ型のキャパシタを例に説明したが、キャパシタの形状はシリンダ型に限定されるものではなく、あらゆる形状のキャパシタに適用することができ、例えば、ピラー形のキャパシタ等に適用してもよい。ピラー形のキャパシタを形成する場合には、例えば、図8(b)又は図13(a)に示す開口部66を形成した後に、CVD法により全面に膜厚200nmのポリシリコン膜を形成し、この後、CMP法により絶縁膜64の表面が露出するまでポリシリコン膜を研磨することにより、ポリシリコン膜より成るピラー形の蓄積電極を形成することができる。

【0115】また、第2実施形態では、サイドウォール82aを形成したが、蓄積電極を導体プラグと一体に形成することにより下地に対して確実に固定できるならば、必ずしもサイドウォール82aを形成しなくてもよい。

【0116】また、第1及び第2実施形態では、ビット

線の幅を120nmとしたが、ビット線の幅は120nmに限定されるものではなく、適宜設定することができる。本発明の技術を用いれば、幅200nm以下の微細なビット線を適宜形成することができ、例えば50~160nmの幅に適宜設定してもよい。

【0117】また、第1及び第2実施形態では、コンタクトホールの径を80nm×80nmとしたが、コンタクトホールの径は80nm×80nmに限定されるものではなく、適宜設定することができる。本発明の技術を用いれば、200nm×200nm以下の径の微細なコンタクトホールを適宜形成することができ、例えば50nm×50nm~160nm×160nmの径に適宜設定してもよい。

【0118】また、第1及び第2実施形態では、蓄積電極に粗面ポリシリコン膜を用いたが、蓄積電極は粗面ポリシリコン膜により形成することに限定されるものではなく、シリンダ形等にすることによりキャパシタの静電容量を必要程度に確保できるならば、蓄積電極に粗面ポリシリコン膜を用いなくてもよく、例えば通常のポリシリコン膜等を用いてもよい。

【0119】また、第2実施形態では、サイドウォール82aをエッチングストップ膜80aの下に食い込むように形成したが、蓄積電極68bを下地に対して確実に固定できるならば、必ずしもサイドウォール82aをエッチングストップ膜80aの下に食い込むように形成しなくてもよい。

【0120】また、第1及び第2実施形態では、ビット線を覆う保護膜を形成したが、ビット線と導体プラグとの間の耐圧又はビット線と蓄積電極との間の耐圧を十分確保できる場合には、保護膜を形成しなくてもよい。

【0121】また、第1実施形態では、CMP法によりマスク86を除去したが、マスク86の材料として絶縁膜を用いた場合には、マスク86を除去しなくてもよい。

【0122】以上説明したように、本発明は上記実施形態には限定されないが、上記実施形態をまとめると、上記目的は、下地基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜と、前記第2の絶縁膜上に突出して形成された蓄積電極を有するキャパシタとを有し、前記蓄積電極は、前記第2の絶縁膜の側部から下部に延在して形成されていることを特徴とする半導体装置により達成される。これにより、蓄積電極を下地に対して確実に固定することができるので、高い歩留りで製造することができる半導体装置を提供することができる。

【0123】また、上記の半導体装置において、前記蓄積電極は、前記第1の絶縁膜に埋め込まれた導体プラグを介して前記下地基板に電氣的に接続されていることが望ましい。

10

20

30

40

50

【0124】また、上記目的は、下地基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜と、前記第2の絶縁膜上に突出して形成された蓄積電極を有するキャパシタとを有し、前記蓄積電極は、前記下地基板に電氣的に接続する導体プラグを兼ねることを特徴とする半導体装置により達成される。これにより、蓄積電極が導体プラグを兼ねるので、蓄積電極を下地に対して確実に固定することができ、高い歩留りで製造することができる半導体装置を提供することができる。

【0125】また、上記の半導体装置において、前記蓄積電極が前記第2の絶縁膜を貫く開口部の側壁に、前記第1の絶縁膜とはエッチング特性の異なる材料よりなるサイドウォール膜を更に有することが望ましい。これにより、蓄積電極を下地に対して更に確実に固定することができる。

【0126】また、上記の半導体装置において、前記サイドウォール膜は、前記第2の絶縁膜の側部から下部に延在して形成されていることが望ましい。これにより、サイドウォールを下地に対して確実に固定することができ、ひいては蓄積電極を下地に対して確実に固定することができる。

【0127】また、上記の半導体装置において、前記キャパシタは、前記第2の絶縁膜上に突出するシリンダ型のキャパシタであることが望ましい。これにより、キャパシタの静電容量を大きくすることができる。

【0128】また、上記の半導体装置において、前記蓄積電極は、多孔質の導電膜により形成されていることが望ましい。これにより、キャパシタの静電容量を大きくすることができる。

【0129】また、上記の半導体装置において、前記下地基板上に形成された配線層を更に有し、前記配線層と前記導体プラグとの間に存在する絶縁膜が、エッチング特性のほぼ等しい膜により構成されており、前記導体プラグの径は $0.2\mu\text{m}$ 以下であることが望ましい。これにより、第1の導体プラグが微細であり、第1の配線層の側面にサイドウォール絶縁膜が形成されていないので、第1の配線層と導体プラグとの寄生容量を小さくすることができる。

【0130】また、上記の半導体装置において、前記下地基板上に形成された配線層を更に有し、前記配線層と前記導体プラグとの間に存在する絶縁膜が、エッチング特性のほぼ等しい膜により構成されており、前記配線層の配線幅は $0.2\mu\text{m}$ 以下であることが望ましい。これにより、第1の配線層が微細であり、第1の配線層の側面にサイドウォール絶縁膜が形成されていないので、第1の配線層と導体プラグとの寄生容量を小さくすることができる。

【0131】また、上記の半導体装置において、前記下地基板上に形成された配線層と、前記配線層の少なくと

も側面に形成された、前記第1の絶縁膜とエッチング特性が異なる第3の絶縁膜を更に有し、前記第1の絶縁膜は、前記第3の絶縁膜と前記導体プラグとの間にも形成されており、前記導体プラグの径は $0.2\mu\text{m}$ 以下であることが望ましい。これにより、配線層と導体プラグとの間の耐圧を確保することができるので、半導体装置の信頼性を向上することができる。

【0132】また、上記の半導体装置において、前記下地基板上に形成された配線層と、前記配線層の少なくとも側面に形成された、前記第1の絶縁膜とエッチング特性が異なる第3の絶縁膜を更に有し、前記第1の絶縁膜は、前記第3の絶縁膜と前記導体プラグとの間にも形成されており、前記配線層の配線幅は $0.2\mu\text{m}$ 以下であることが望ましい。これにより、配線層と導体プラグとの間の耐圧を確保することができるので、半導体装置の信頼性を向上することができる。

【0133】また、上記の半導体装置において、前記配線層はビット線であり、前記ビット線の幅が、前記下地基板に形成されたワード線の幅より狭いことが望ましい。これにより、ビット線が微細であるので、集積度の高い半導体装置を提供することができる。

【0134】また、上記の半導体装置において、前記下地基板は、半導体基板上に第3の絶縁膜を介して形成された周辺回路用のトランジスタのゲート電極と、前記ゲート電極の上面及び側面を覆う第4の絶縁膜と、前記半導体基板上及び前記第4の絶縁膜上に形成され、前記第4の絶縁膜とはエッチング特性が異なる第5の絶縁膜と、前記第5の絶縁膜上に形成され、前記第5の絶縁膜を貫いて転送トランジスタのソース／ドレイン拡散層に接続されたビット線と、前記第4の絶縁膜及び前記第5の絶縁膜を貫いて前記ゲート電極に接続され、前記ビット線と同一の導電層より成る配線層とを有することが望ましい。これにより、周辺回路用のトランジスタのゲート電極と配線層とを直接接続することができるので、半導体装置の集積度を高めることができる。

【0135】また、上記目的は、下地基板上に、第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に、前記第2の絶縁膜とはエッチング特性が異なる第3の絶縁膜を形成する工程と、前記第3の絶縁膜及び前記第2の絶縁膜を貫通して前記第1の絶縁膜に達し、前記第2の絶縁膜の下部に至る第1の開口部を形成する工程と、前記第1の開口部の内壁に、前記下地基板に電氣的に接続された蓄積電極を形成する工程と、前記第2の絶縁膜をエッチングストップとして前記第3の絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、第2の絶縁膜の下部に至る蓄積電極が形成されるので、下地に対して蓄積電極を確実に固定することができ、高い歩留りで半導体装置を

製造することができる。

【0136】また、上記の半導体装置の製造方法において、前記第1の絶縁膜を形成する工程では、前記第1の絶縁膜に埋め込まれた導体プラグを形成し、前記蓄積電極を形成する工程では、前記導体プラグを介して前記下地基板に電氣的に接続された前記蓄積電極を形成することが望ましい。

【0137】また、上記目的は、下地基板上に、第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、前記第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜を形成する工程と、前記第2の絶縁膜に前記第1の絶縁膜に達する第1の開口部を形成する工程と、前記第1の絶縁膜上及び前記第2の絶縁膜上に、前記第2の絶縁膜とはエッチング特性が異なる第3の絶縁膜を形成する工程と、前記第1の開口部が形成された領域を含む領域の前記第3の絶縁膜及び前記第1の絶縁膜を、前記第2の絶縁膜をエッチングストップとして選択的にエッチングし、前記第3の絶縁膜に第2の開口部を形成し、前記第1の絶縁膜にコンタクトホールを形成する工程と、前記第2の開口部の内壁及び前記コンタクトホール内に、前記下地基板に電氣的に接続された蓄積電極を形成する工程と、前記第2の絶縁膜をエッチングストップとして前記第3の絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、蓄積電極が導体プラグと一体に形成されるので、蓄積電極を下地に対して確実に固定することができる。高い歩留りで半導体装置を製造することができる。

【0138】また、上記の半導体装置の製造方法において、前記第1の開口部を形成する工程では、前記第2の絶縁膜の下部に至る前記第1の開口部を形成し、前記第1の開口部を形成する工程の後に、前記第1の開口部の内壁に、前記第1の絶縁膜とはエッチング特性が異なるサイドウォール膜を形成する工程を更に有し、前記第2の開口部及び前記コンタクトホールを形成する工程では、前記第2の絶縁膜及び前記サイドウォール膜をエッチングストップとして前記第3の絶縁膜及び前記第1の絶縁膜をエッチングすることが望ましい。これにより、微細な導体プラグを形成することができるので、集積度の高い半導体装置を製造することができる。

【0139】また、上記の半導体装置の製造方法において、前記蓄積電極を形成する工程では、多孔質の導電膜よりなる前記蓄積電極を形成することが望ましい。これにより、多孔質の導電膜の孔を通じて第3の絶縁膜にエッチング液が浸透し、蓄積電極の周囲の第3の絶縁膜を速やかにエッチングすることができる。このため、セル部を除く領域の第3の絶縁膜を残すことができ、セル部とセル部を除く領域との段差を小さくすることができる。

【0140】また、上記目的は、下地基板上に、第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、前記

第1の絶縁膜とはエッチング特性が異なる第2の絶縁膜を形成する工程と、前記第2の絶縁膜に前記第1の絶縁膜に達する第1の開口部を形成する工程と、前記第1の開口部の内壁に、前記第1の絶縁膜とはエッチング特性が異なるサイドウォール膜を形成する工程と、前記第2の絶縁膜及び前記サイドウォール膜をマスクとして前記第1の絶縁膜をエッチングし、前記第1の絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホール内に導体プラグを形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、微細な導体プラグを形成することができるので、集積度の高い半導体装置を製造することができる。

【0141】また、上記の半導体装置の製造方法において、前記第1の絶縁膜を形成する工程の前に、前記下地基板上に第1の導電膜を形成する工程と、前記第1の導電膜上に、第1の幅の配線パターンを有するフォトマスクを形成する工程と、前記フォトマスクをエッチングし、前記フォトマスクの幅を前記第1の幅より狭い第2の幅に成形する工程と、前記フォトマスクを用いて前記第1の導電膜をエッチングし、前記下地基板上に、前記第1の導電膜よりなる前記第2の幅のビット線を形成する工程とを更に有することが望ましい。これにより、微細なビット線を形成することができるので、集積度の高い半導体装置を製造することができる。

【0142】また、上記の半導体装置の製造方法において、前記ビット線を形成する工程の後、前記第1の絶縁膜を形成する工程の前に、前記ビット線の少なくとも側面に、前記第1の絶縁膜とはエッチング特性が異なる第4の絶縁膜を形成する工程を更に有することが望ましい。これにより、ビット線と導体プラグとの間の耐圧を確保することができるので、信頼性の高い半導体装置を製造することができる。

【0143】また、上記の半導体装置の製造方法において、前記第1の絶縁膜を形成する工程の前に、半導体基板上に、第4の絶縁膜を介して形成された第1の配線層及び第2の配線層を形成する工程と、前記第1の配線層の上面及び側面並びに前記第2の配線層の上面及び側面に、第5の絶縁膜をそれぞれ形成する工程と、前記半導体基板上及び前記第5の絶縁膜上に、前記第5の絶縁膜とはエッチング特性が異なる第6の絶縁膜を形成する工程と、前記第5の絶縁膜及び前記第6の絶縁膜に、前記第1の配線層に達する第1のコンタクトホールを形成する工程と、前記第6の絶縁膜に、前記第2の配線層を覆う前記第5の絶縁膜に自己整合で前記下地基板に達する第2のコンタクトホールを形成する工程とを更に有することが望ましい。これにより、第1のコンタクトホールを介して第1の配線層と上部配線とを接続することができるので、集積度の高い半導体装置を製造することができる。

【0144】また、上記の半導体装置の製造方法におい

て、前記第2のコンタクトホールを形成する工程の後に、前記第1のコンタクトホール内、前記第2のコンタクトホール内及び前記第6の絶縁膜上に第1の導電膜を形成する工程と、900℃以上の熱処理を行う工程とを更に有することが望ましい。これにより、第1の導電膜と第1の配線層との間で良好なコンタクトを実現することができる。

【0145】

【発明の効果】以上の通り、本発明によれば、ビット線の幅が極めて狭く、導体プラグも微細であるため、ビット線の側面に誘電率の高いシリコン窒化膜より成るサイドウォール絶縁膜を形成する必要がない。従って、ビット線と導体プラグとの間の寄生容量を低減することができる。

【0146】また、本発明によれば、蓄積電極の下端部がエッチングストップ膜の下側に食い込むように形成されているので、蓄積電極がエッチングストップ膜により固定される。従って、ウェットエッチング等のプロセスで蓄積電極が剥がれてしまうのを抑制することができ、高い歩留りで半導体装置を製造することが可能となる。

【0147】また、本発明によれば、多孔質なポリシリコン膜より成る蓄積電極を形成するので、HF系のエッチング液が蓄積電極の孔を通じて浸透し、蓄積電極間の絶縁膜を速やかにエッチングすることができる。このため、セル部以外の領域の絶縁膜を残すことができ、リング型のキャパシタを有する半導体装置を製造する場合であっても、セル部とセル部以外の領域との段差を低減することができる。

【0148】また、本発明によれば、導体プラグと一体に形成された蓄積電極が形成されており、エッチングストップ膜の下に食い込むように形成されたサイドウォールが蓄積電極と同様の材料により形成されているので、下地に対して蓄積電極を確実に固定することができる。しかも、導体プラグを埋め込むためのコンタクトホールと、蓄積電極を形成するための開口部とを同じ工程で形成するので、簡便な工程で半導体装置を製造することができる。また、本発明によれば、エッチングストップ膜として絶縁膜を用いるので、絶縁膜を除去する必要がなく、工程を簡略化することができる。

【0149】また、本発明によれば、周辺トランジスタのゲート電極に達するコンタクトホールとセルトランジスタのソース／ドレイン拡散層に達するコンタクトホールとを別個の工程で形成するので、サイドウォール絶縁膜等に対して異なる選択比でエッチングして、それぞれのコンタクトホールを形成することができる。このコンタクトホールを介して周辺トランジスタのゲート電極と上部配線とを接続することができるので、更なる半導体装置の微細化を実現することができる。

【0150】また、本発明によれば、薄いシリコン窒化膜より成る保護膜によりビット線を覆っているのに、ビ

ット線と蓄積電極との間の耐圧を確保することができる。また、保護膜によりビット線と層間絶縁膜との間の密着性を向上することができるので、ビット上に形成された層間絶縁膜が剥がれるのを防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置を示す断面図である。

【図2】本発明の第1実施形態による半導体装置を示す平面図である。

10 【図3】本発明の第1実施形態による半導体装置を示す他の平面図である。

【図4】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図5】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図6】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図7】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

20 【図8】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その5）である。

【図9】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その6）である。

【図10】本発明の第1実施形態による半導体装置の製造方法の変形例を示す工程断面図である。

【図11】本発明の第2実施形態による半導体装置を示す断面図である。

【図12】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

30 【図13】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図14】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図15】従来の半導体装置の製造方法を示す工程断面図（その1）である。

【図16】従来の半導体装置の製造方法を示す工程断面図（その2）である。

【図17】従来の半導体装置の製造方法を示す工程断面図（その3）である。

【符号の説明】

10…シリコン基板

11…素子領域

12…素子分離領域

13…ゲート絶縁膜

14…ポリシリコン膜

16…タングステンシリサイド膜

18…反射防止膜

20…シリコン窒化膜

24…ゲート電極

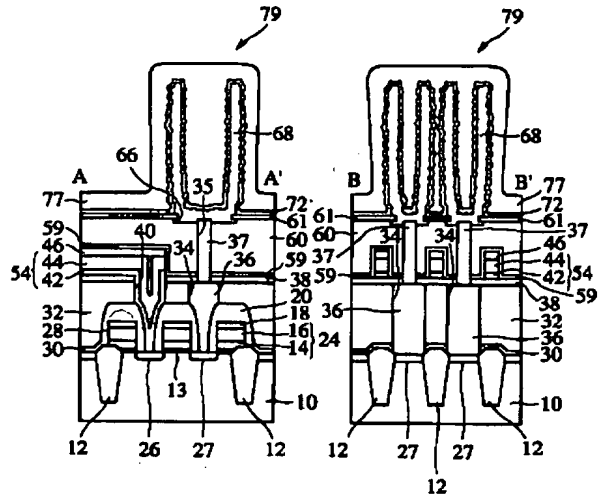
50 24a…ゲート電極

24 b …ゲート電極
 26 …ソース／ドレイン拡散層
 27 …ソース／ドレイン拡散層
 28 …サイドウォール絶縁膜
 29 …ソース／ドレイン拡散層
 29 a …低濃度拡散層
 29 b …高濃度拡散層
 30 …エッチングストップ膜
 32 …層間絶縁膜
 33 …コンタクトホール
 34 …コンタクトホール
 35 …コンタクトホール
 36 …導体プラグ
 37 …導体プラグ
 38 …シリコン酸化膜
 40 …コンタクトホール
 41 …コンタクトホール
 42 …ポリシリコン膜
 44 …タングステンシリサイド膜
 46 …反射防止膜
 54 …ビット線
 55 a …配線
 55 b …配線
 59 …保護膜
 60 …層間絶縁膜
 61 …エッチングストップ膜
 64 …絶縁膜
 66 …開口部
 68 …蓄積電極
 68 a …蓄積電極
 68 b …蓄積電極
 72 …誘電体膜
 77 …対向電極
 79 …キャパシタ
 80 …エッチングストップ膜
 80 a …エッチングストップ膜
 81 …開口部
 81 a …開口部
 82 …サイドウォール
 82 a …サイドウォール
 84 …開口部

86 …マスク
 86 a …マスク
 88 …ポリシリコン膜
 90 …反射防止膜
 110 …シリコン基板
 112 …素子分離領域
 114 …ポリシリコン膜
 116 …タングステンシリサイド膜
 118 …シリコン酸化膜
 10 120 …シリコン窒化膜
 122 …シリコン窒化酸化膜
 123 …積層膜
 124 …ゲート電極
 126 a、126 b …ソース／ドレイン拡散層
 128 …サイドウォール絶縁膜
 130 …エッチングストップ膜
 132 …層間絶縁膜
 134 …コンタクトホール
 136 a、136 b …導体プラグ
 20 138 …シリコン酸化膜
 140 …コンタクトホール
 142 …ポリシリコン膜
 144 …タングステンシリサイド膜
 146 …シリコン酸化膜
 148 …シリコン窒化膜
 150 …シリコン窒化酸化膜
 152 …積層膜
 154 …ビット線
 156 …サイドウォール絶縁膜
 30 160 …層間絶縁膜
 161 …エッチングストップ膜
 162 …コンタクトホール
 164 …BPSG膜
 166 …開口部
 168 …蓄積電極
 172 …タンタル酸化膜
 174 …チタン窒化膜
 176 …ポリシリコン膜
 177 …対向電極
 40 179 …キャパシタ

【図 1】

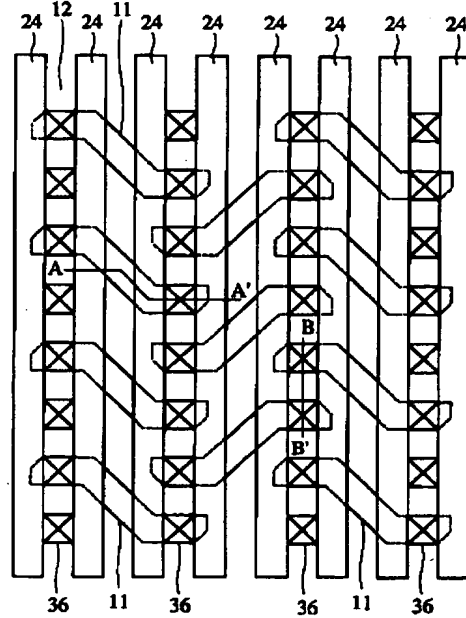
本発明の第1実施形態による半導体装置を示す断面図



- 10…シリコン基板
12…窒素分離領域
13…ゲート絶縁膜
14…ポリシリコン膜
16…タングステンシリサイド膜
18…反射防止膜
20…シリコン酸化膜
24…ゲート電極
26…ソース/ドレイン拡散層
27…ソース/ドレイン拡散層
28…サイドウォール絶縁膜
30…エッチングストップ膜
32…層間絶縁膜
34…コンタクトホール
35…コンタクトホール
36…導体プラグ
37…導体プラグ
38…シリコン酸化膜
40…コンタクトホール
42…ポリシリコン膜
44…タングステンシリサイド膜
46…反射防止膜
54…ビット線
59…保護膜
60…層間絶縁膜
61…エッチングストップ膜
68…蓄積電極
72…誘電体膜
77…対向電極
79…キャパシタ

【図 2】

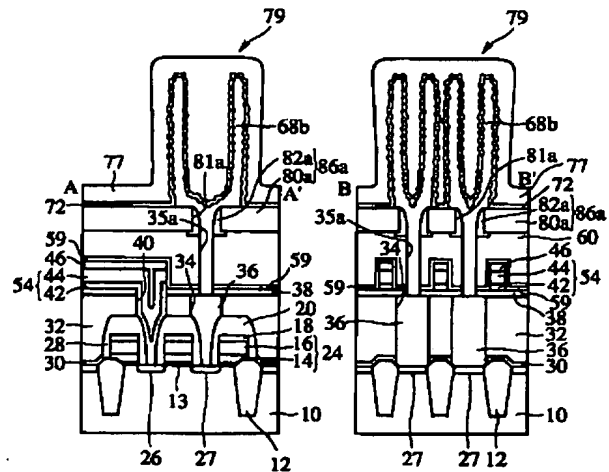
本発明の第1実施形態による半導体装置を示す平面図



11…素子領域

【図 11】

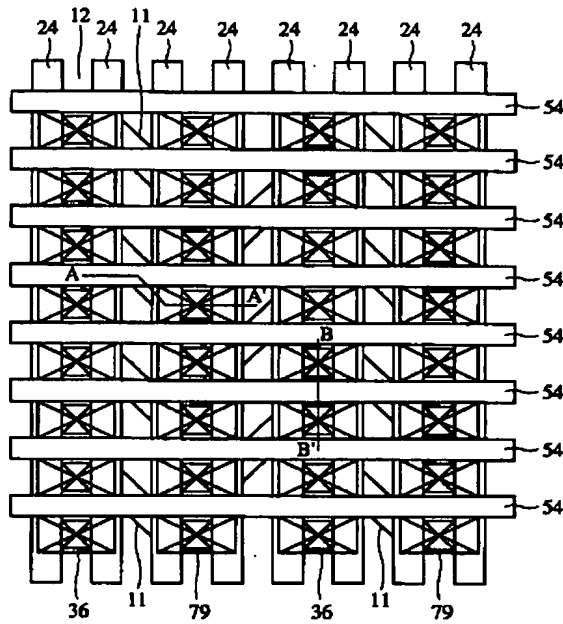
本発明の第2実施形態による半導体装置を示す断面図



- 81a…開口部
82a…サイドウォール
86a…マスク
68b…蓄積電極

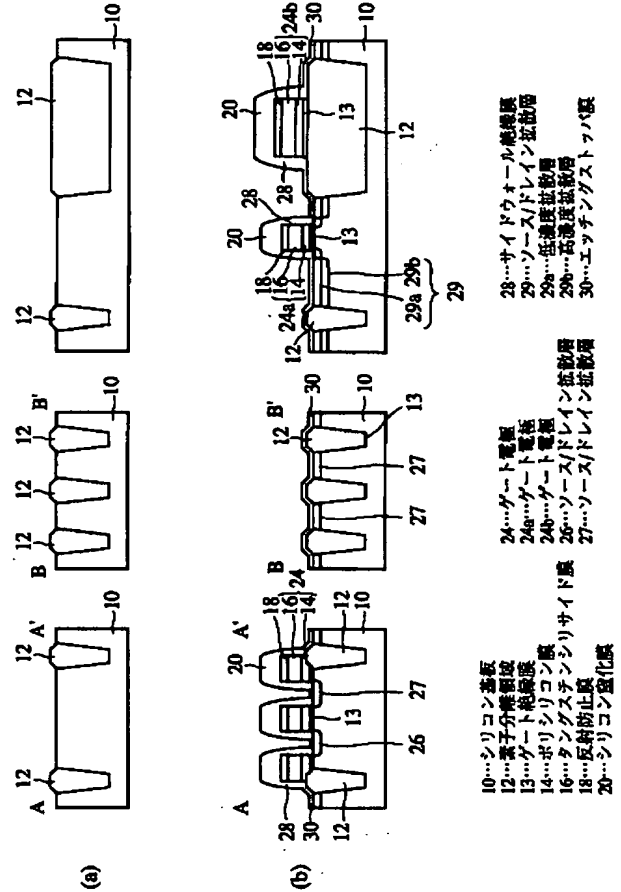
【図 3】

本発明の第1実施形態による半導体装置を示す他の平面図



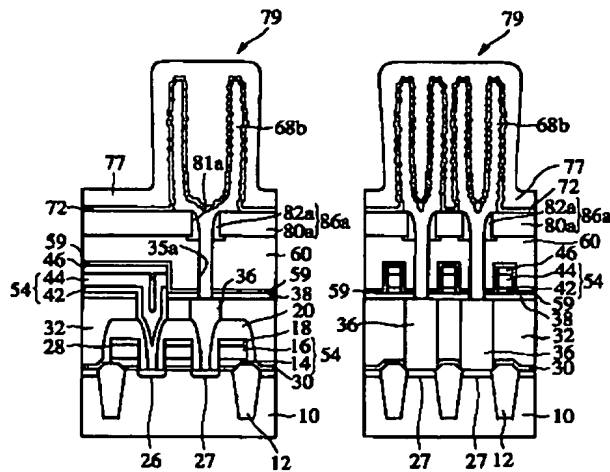
【図 4】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図 (その1)



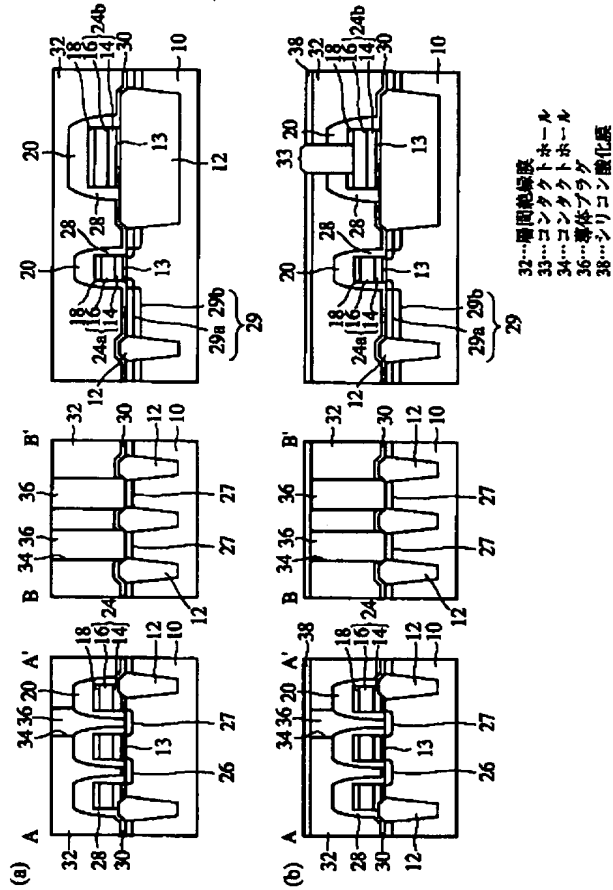
【図 14】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図 (その3)



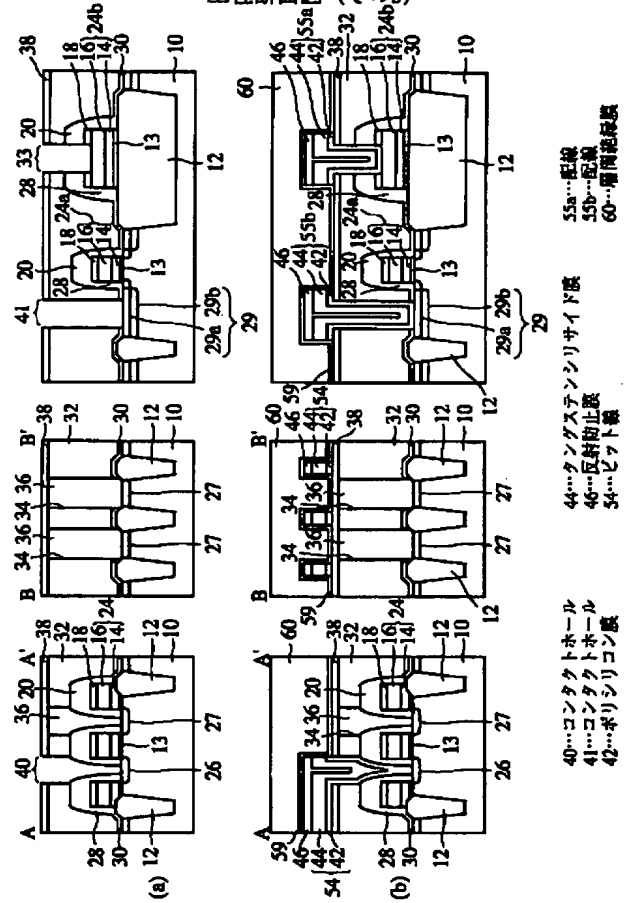
【図5】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その2）



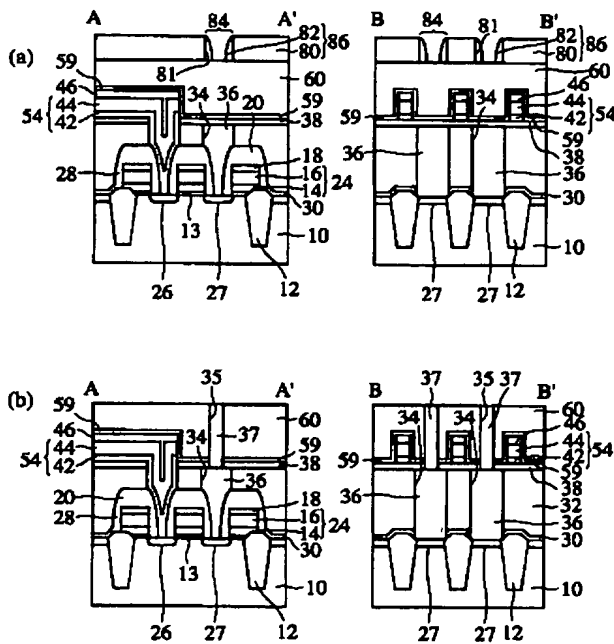
【図6】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その3）



【図 7】

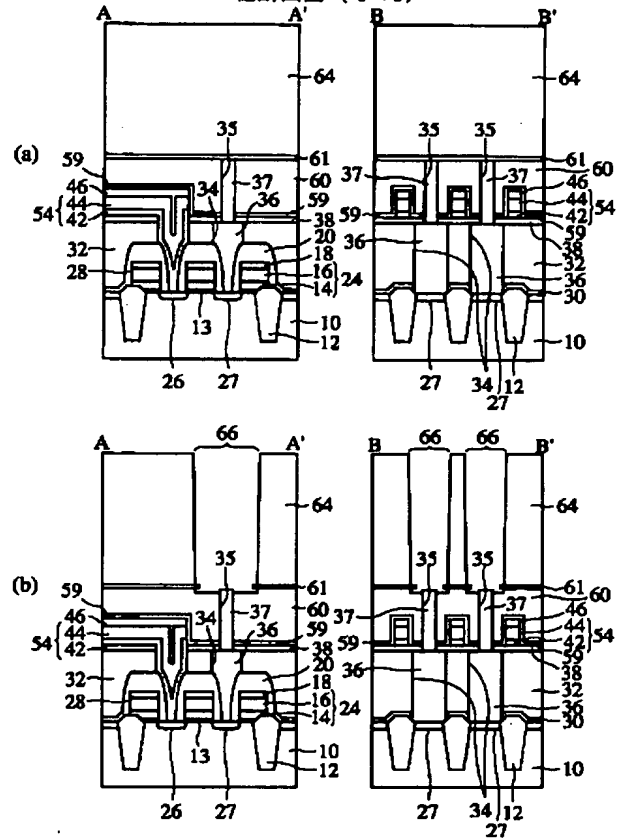
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その4）



35...コンタクトホール
37...導体プラグ
80...エッチングストップ膜
81...開口部
82...サイドウォール
84...開口部
86...マスク

【図 8】

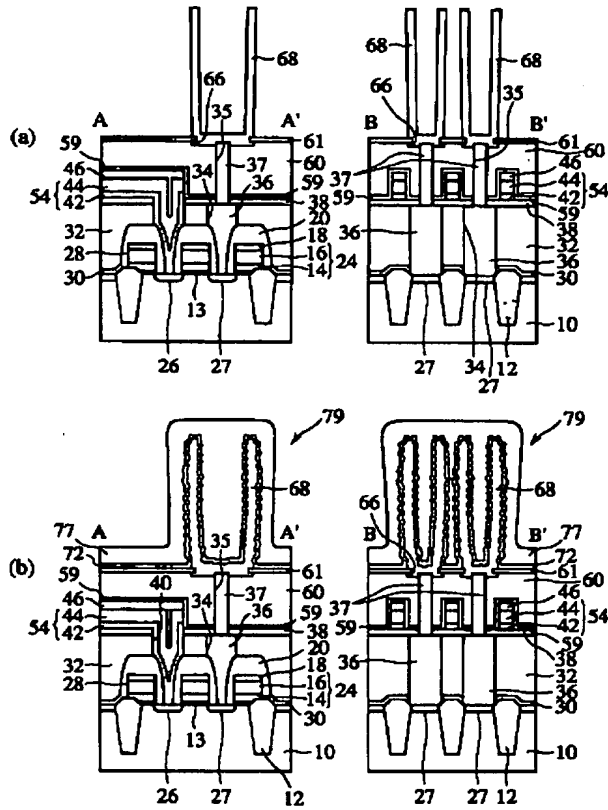
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その5）



61...エッチングストップ膜
64...絶縁膜
66...開口部

【図 9】

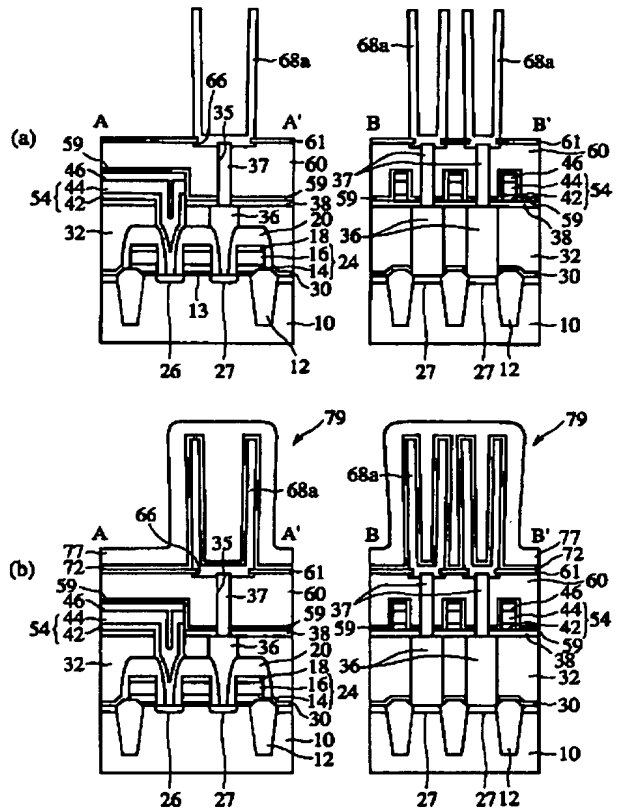
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その6）



68…蓄積電極
72…誘電体膜
77…対向電極
79…キャパシタ

【図 10】

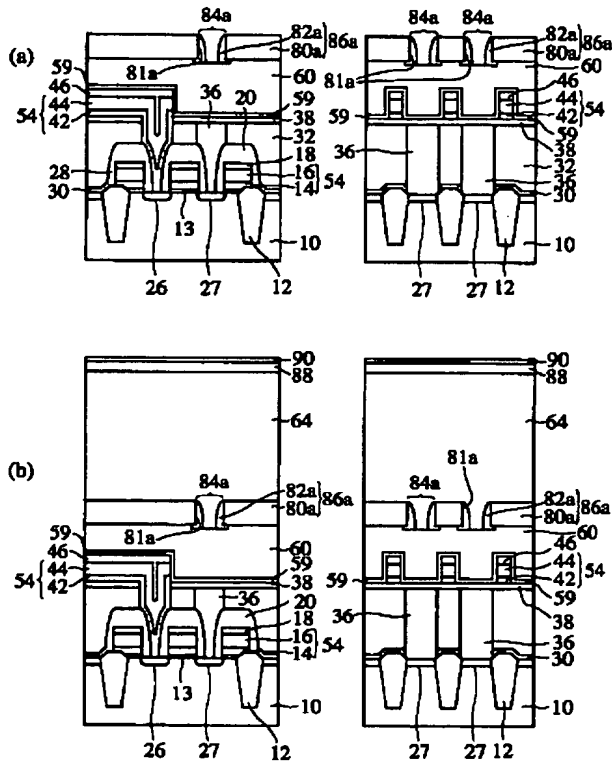
本発明の第1実施形態による半導体装置の製造方法の変形例
を示す工程断面図



68a…蓄積電極

【図 12】

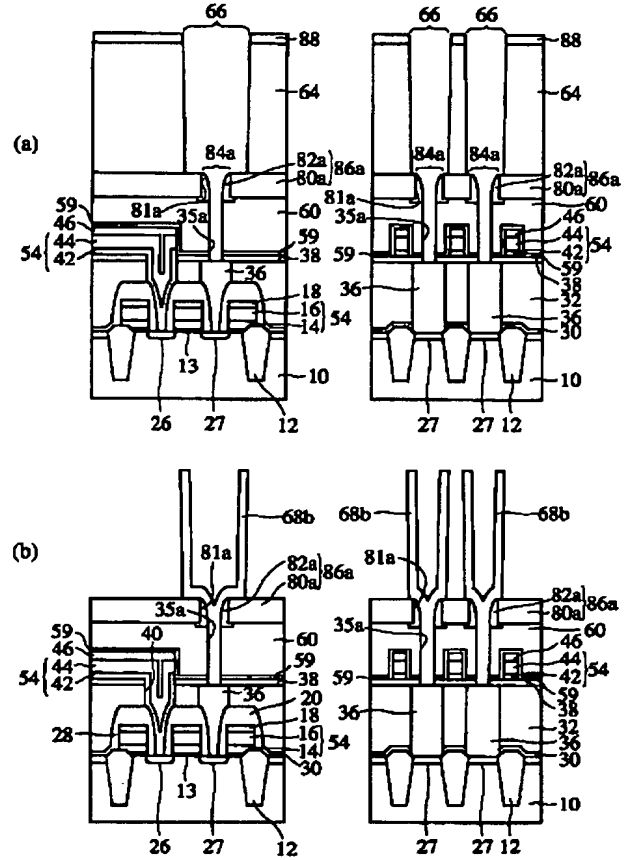
本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図（その1）



88…ポリシリコン膜
90…反射防止膜

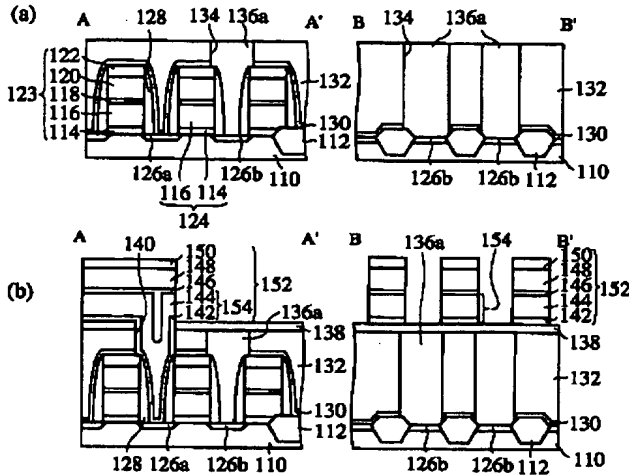
【図 13】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図（その2）



【図15】

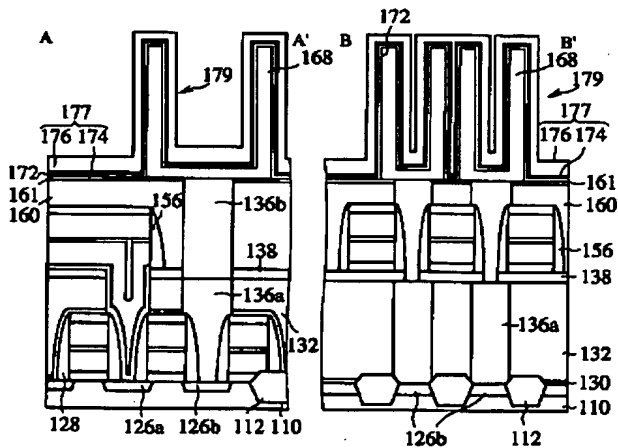
従来の半導体装置の製造方法を示す工程断面図(その1)



- 110…シリコン基板
112…素子分離領域
114…ポリシリコン膜
116…タンガステンシリサイド膜
118…シリコン酸化膜
120…シリコン窒化膜
122…シリコン窒化酸化膜
123…積層膜
124…ゲート電極
126a, 126b…ソース/ドレイン拡散層
128…サイドウォール絶縁膜
130…エッチングストップ膜
132…層間絶縁膜
134…コンタクトホール
136a…導体プラグ
138…シリコン酸化膜
140…コンタクトホール
142…ポリシリコン膜
144…タンガステンシリサイド膜
146…シリコン酸化膜
148…シリコン窒化膜
150…シリコン窒化酸化膜
152…積層膜
154…ビット線

【図17】

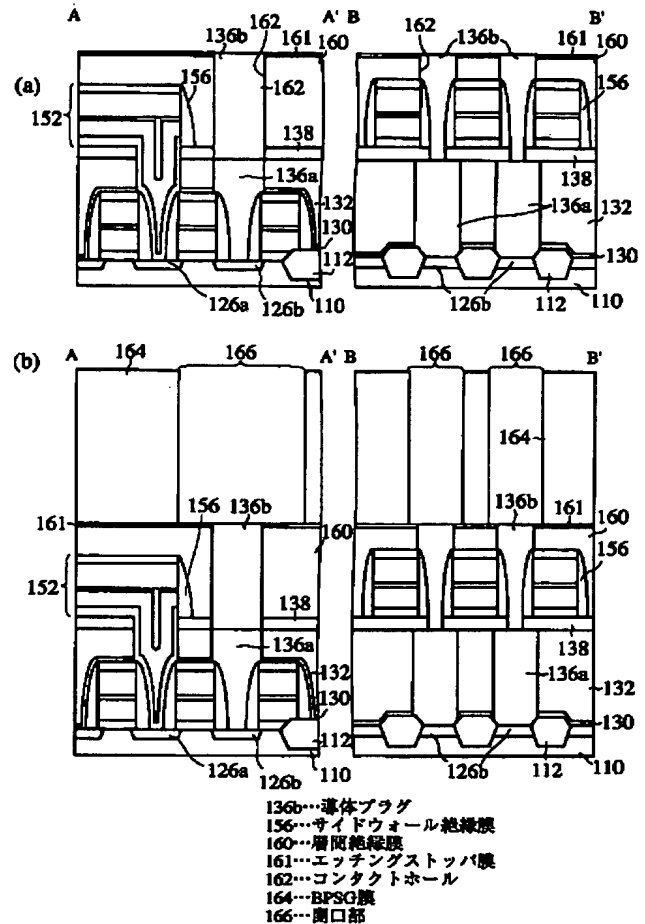
従来の半導体装置の製造方法を示す工程断面図(その3)



- 168…蓄積電極
172…タンタル酸化膜
174…チタン酸化膜
176…ポリシリコン膜
177…対向電極
179…キャパシタ

【図16】

従来の半導体装置の製造方法を示す工程断面図(その2)



- 136b…導体プラグ
156…サイドウォール絶縁膜
160…層間絶縁膜
161…エッチングストップ膜
162…コンタクトホール
164…BPSG膜
166…開口部

フロントページの続き

(72)発明者 吉澤 和隆

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

F ターム(参考) 5F083 AD24 AD48 AD49 AD62 GA03
JA04 JA06 JA32 JA35 JA39
JA40 JA53 JA56 MA01 MA03
MA06 MA17 MA18 MA20 PR03
PR05 PR06 PR07 PR09 PR10
PR15 PR16 PR21 PR29 PR33
PR34 PR40 PR43 PR44 PR45
PR53 PR54 PR55 ZA06